

# ИИРАЭКО

## 2

# ZX SPECTRUM

ТЕХНИЧЕСКОЕ ОПИСАНИЕ РАБОТЫ КОМПЬЮТЕРА ZX SPECTRUM  
(Ленинградский вариант)

## СОДЕРЖАНИЕ

	СТР.
ВВЕДЕНИЕ .....	3
ГЛАВА 1 АРХИТЕКТУРА КОМПЬЮТЕРА .....	3
ГЛАВА 2 МИКРОПРОЦЕССОР Z80 .....	5
2.1 ФИЗИЧЕСКАЯ СТРУКТУРА МИКРОПРОЦЕССОРА .....	5
2.2 ЛОГИЧЕСКАЯ СТРУКТУРА МИКРОПРОЦЕССОРА .....	8
ГЛАВА 3 СХЕМА СИНХРОНИЗАЦИИ .....	9
ГЛАВА 4 ОРГАНИЗАЦИЯ ПАМЯТИ КОМПЬЮТЕРА .....	11
4.1 РАБОТА ПРОЦЕССОРА С ПЗУ .....	12
4.2 РАБОТА МИКРОПРОЦЕССОРА С ОЗУ .....	12
ГЛАВА 5 ВЫВОД ИНФОРМАЦИИ НА ЭКРАН ТЕЛЕВИЗОРА .....	14
ГЛАВА 6 ВЗАИМОДЕЙСТВИЕ С ПОРТАМИ ВВОДА-ВЫВОДА .....	18
6.1 РАБОТА КЛАВИАТУРЫ КОМПЬЮТЕРА .....	19
6.2 РАБОТА КОМПЬЮТЕРА С МАГНИТОФОНОМ .....	20
6.3 ВЫВОД СИГНАЛОВ ЗВУКОВОГО СОПРОВОЖДЕНИЯ И ЦВЕТА БОРДЮРА .....	21
6.4 РАБОТА КОМПЬЮТЕРА С ДЖОЙСТИКОМ .....	21
ПРИЛОЖЕНИЕ 1 ЭПЮРЫ СИГНАЛОВ КОМПЬЮТЕРА .....	23
А) ФОРМИРОВАНИЕ ТАКОВЫХ ИМПУЛЬСОВ .....	23
Б) ФОРМИРОВАНИЕ СТРОЧНЫХ СИМПУЛЬСОВ .....	24
В) ФОРМИРОВАНИЕ КАДРОВЫХ СИМПУЛЬСОВ .....	25
Г) ВРЕМЕННЫЕ ДИАГРАММЫ ПРОЦЕССОРА Z80 .....	26
ПРИЛОЖЕНИЕ 2 МИКРОСХЕМЫ КОМПЬЮТЕРА ZX SPECTRUM .....	28
МИКРОПРОЦЕССОР Z80 .....	28
СЧЕТЧИКИ .....	30
РЕГИСТРЫ .....	30
МУЛЬТИПЛЕКСОРЫ (КОММУТАТОРЫ) .....	32
ТРИГГЕРЫ .....	32
МИКРОСХЕМЫ СОДЕРЖАЩИЕ ЭЛЕМЕНТЫ ПАМЯТИ .....	33
ЛОГИЧЕСКИЕ МИКРОСХЕМЫ .....	34

## ВВЕДЕНИЕ

Бытовой компьютер ZX SPECTRUM производится английской фирмой SINCLAIR RESEARCH LTD с 1979 года на базе микропроцессора ZILOG Z-80. Тактовая частота, на которой работает процессор, составляет 3,5 МГц. В компьютере используется оперативное запоминающее устройство с произвольной выборкой объемом 48 Кбайт. Связь пользователя с компьютером осуществляется через клавиатуру, содержащую 40 клавиш с автоповтором. ZX SPECTRUM + имеет расширенную клавиатуру 56 клавиш. К ZX SPECTRUM может быть подключен Kempston джойстик.

Программы хранятся на магнитной ленте, считывание и запись программ и данных осуществляется с помощью кассетного магнитофона со скоростью 1500 Бод (бит/сек). Возможно использование для этих целей дисковода, подключаемого к порту ввода-вывода через плату интерфейса "Бета-128".

В качестве устройства отображения используется цветной телевизор, на экране которого помещается 24 строки по 32 символа в каждой. Цветовая гамма, формируемая компьютером, содержит восемь цветов при двух градациях яркости. Графика высокого разрешения обеспечивает вывод на экран 256x192 графических элемента. Возможен вывод информации на принтер, который подключается к порту ввода-вывода. Звуковое сопровождение программ осуществляется в пределах 10 октав.

Дешевизна, ZX SPECTRUM, широкое программное обеспечение, а также значительное количество программ, обусловили большой интерес к компьютеру в СССР. Появились образцы, разработанные разными авторами и использующие советскую элементную базу в сочетании с микропроцессором Z-80. Описание одного из таких компьютеров приведено в данном пособии.

При описании не рассматриваются элементарные вопросы работы отдельных микросхем. Краткое описание работы этих устройств приведено в приложении.

Для лучшего понимания некоторых наиболее трудных разделов в описании приведены эскизы некоторых импульсных сигналов.

### ГЛАВА 1

### АРХИТЕКТУРА КОМПЬЮТЕРА

Структурная схема компьютера изображена на рис. 1.

В качестве центрального процессора (ЦП) используется широко распространенный восьмиразрядный процессор фирмы ZILOG Z80A. Схема синхронизации путем деления основной стабилизированной частоты 14 МГц вырабатывает сигналы, необходимые для правильной работы компьютера.

Память компьютера ZX SPECTRUM состоит из постоянного и оперативного запоминающих устройств.

Постоянное запоминающее устройство емкостью 16 Кбайт хранит управляющую программу на машинном языке, которую обычно выполняет микропроцессор Z80A. ПЗУ выполнено на восьмикилобайтных мик-

РОСХЕМАХ К573Р04. ДЛЯ РАЗМЕЩЕНИЯ 16 КБАЙТ УПРАВЛЯЮЩЕЙ ПРОГРАММЫ ИСПОЛЬЗУЕТСЯ ДВЕ ТАКИХ МИКРОСХЕМ, ОБОЗНАЧЕННЫЕ НА РИС. 1 КАК ПЗУ-1 И ПЗУ-2.

ОПЕРАТИВНОЕ ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО ДИНАМИЧЕСКОГО ТИПА СОСТОИТ ИЗ ВОСЬМИ МИКРОСХЕМ К565Р95.

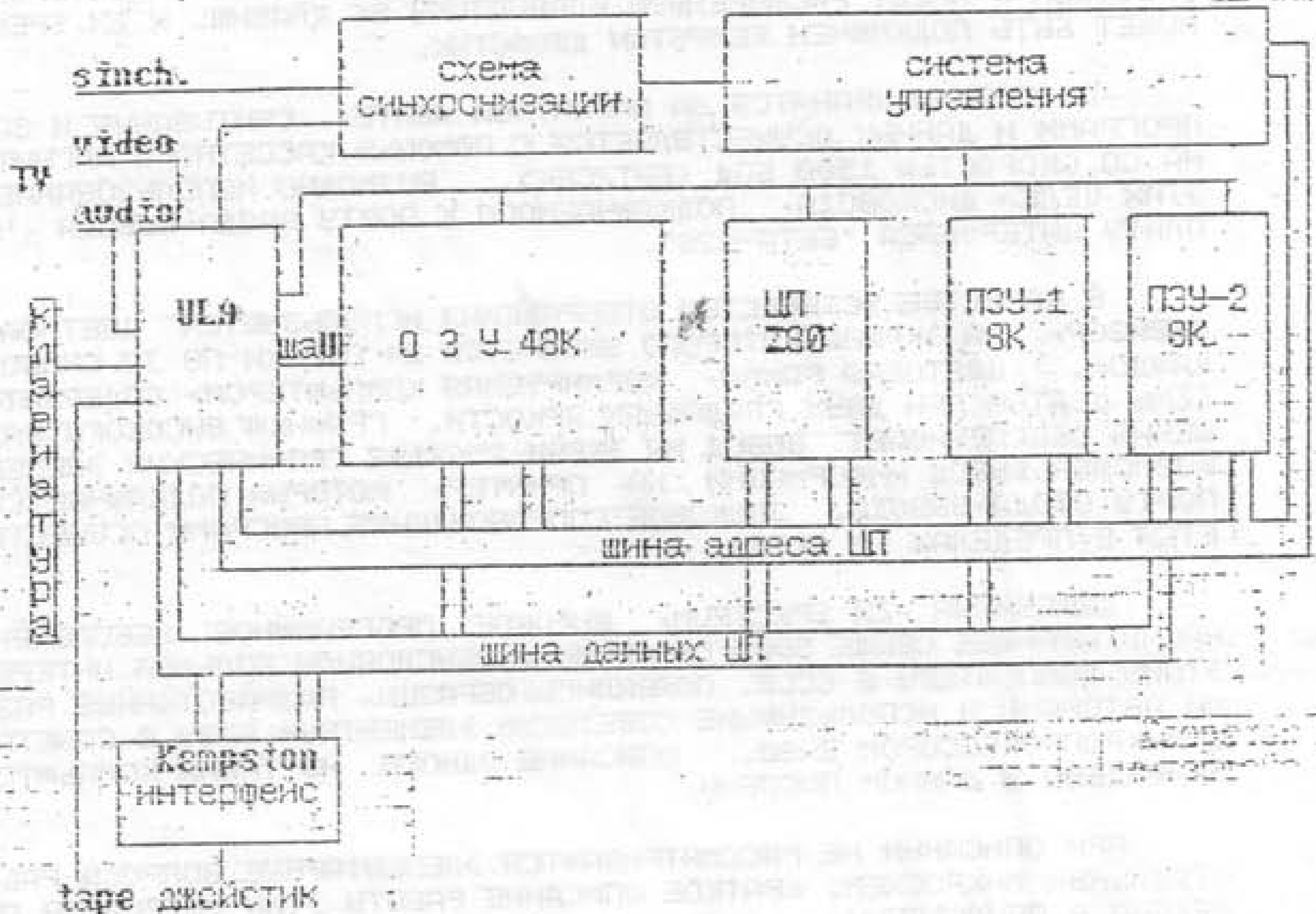


Рис. 1

ULA — УНИВЕРСАЛЬНАЯ ЛОГИЧЕСКАЯ МАТРИЦА — СХЕМА, ПРЕДНАЗНАЧЕННАЯ ДЛЯ СКАНИРОВАНИЯ ОБЛАСТИ ПАМЯТИ ДИСПЛЕЯ, ОБСЛУЖИВАНИЯ КЛАВИАТУРЫ, ГРОМКОГОВОРИТЕЛЯ, МАГНИТОФОНА, ОРГАНИЗАЦИИ РАБОТЫ С ТЕЛЕВИЗОРОМ. ULA ФОРМИРУЕТ НА ЭКРАНЕ ТЕЛЕВИЗОРА ИЗОБРАЖЕНИЕ СОСТОЯЩЕЕ ИЗ ИНФОРМАЦИОННОЙ ЧАСТИ И РАМКИ (БОРДЮРА). ПРИ ФОРМИРОВАНИИ ИНФОРМАЦИОННОЙ ЧАСТИ ULA ПО СВОИМ ШИНАМ АДРЕСА (ШАА) ОБРАЩАЕТСЯ К ОБЛАСТИ ДИСПЛЕЯ И ОБЛАСТИ АТРИБУТОВ ОЗУ, КОТОРЫЕ ЗАПОЛНЯЕТ ИНФОРМАЦИЕЙ МИКРОПРОЦЕССОР. И ULA, И МИКРОПРОЦЕССОР РАБОТАЮТ НЕЗАВИСИМО ДРУГ ОТ ДРУГА, ПОЭТОМУ ДЛЯ ОБЕСПЕЧЕНИЯ ИХ СОВМЕСТНОЙ РАБОТЫ ПРЕДУСМОТРЕНА ОСТАНОВКА РАБОТЫ МИКРОПРОЦЕССОРА ПРИ ЕГО ОБРАЩЕНИИ К ОЗУ, ЕСЛИ В ЭТО ВРЕМЯ К НЕЙ ОБРАЩАЕТСЯ ULA. ЭТА ОСТАНОВКА ДЛИТСЯ ДО НАЧАЛА ФОРМИРОВАНИЯ БОРДЮРА ЭКРАНА.

В ФИРМЕННОМ КОМПЬЮТЕРЕ ULA ПРЕДСТАВЛЯЕТ СОБОЙ ОТДЕЛЬНЫЙ СУББЛОК, СОСТОЯЩИЙ ИЗ НЕСКОЛЬКИХ МИКРОСХЕМ. В РАССМАТРИВАЕМОМ КОМПЬЮТЕРЕ МИКРОСХЕМЫ ULA НЕ ИМЕЮТ ОБЩЕГО РАСПОЛОЖЕНИЯ И РАСПРЕДЕЛЕНА ПО ВСЕЙ ПЛАТЕ. В ТО ЖЕ ВРЕМЯ ДЛЯ УДОБСТВА РАССМОТРЕНИЯ РАБОТЫ КОМПЬЮТЕРА МЫ БУДЕМ ПРИДЕРЖИВАТЬСЯ ТЕРМИНА ULA, ПОНИМАЯ ПОД НИМ ПРЕЖДЕ ВСЕГО НЕКУЮ ФУНКЦИОНАЛЬНУЮ ЧАСТЬ КОМПЬЮТЕРА.

МИКРОПРОЦЕССОР Z80 ИМЕЕТ ШЕСТНАДЦАТИРАЗРЯДНУЮ ШИНУ АДРЕСА, ЧТО ПОЗВОЛЯЕТ СРАВНИТЕЛЬНО ПРОСТО ОРГАНИЗОВАТЬ ОБРАЩЕНИЕ К 65536 ЯЧЕЙКАМ ПАМЯТИ (64 КБАЙТ).

ДВУНАПРАВЛЕННАЯ ВОСЬМИРАЗРЯДНАЯ ШИНА ДАННЫХ ПОЗВОЛЯЕТ ПРОЦЕССОРУ ПЕРЕДАВАТЬ ПО НЕЙ ЧИСЛА ОТ 0 ДО 255 (ДВОИЧНЫЙ ЭКВИВАЛЕНТ 00000000 - 11111111).

ШИНЫ ДАННЫХ И АДРЕСА ОБРАЗУЮТ ИНТЕРФЕЙС МЕЖДУ ПРОЦЕССОРОМ С ОДНОЙ СТОРОНЫ И ПЗУ, ОЗУ И ULA С ДРУГОЙ.

СИСТЕМА УПРАВЛЕНИЯ НА ОСНОВЕ АНАЛИЗА СИГНАЛОВ -RD, -WR, -IORQ, -MREQ, ВЫРАБАТЫВАЕМЫХ ПРОЦЕССОРОМ, ИССЛЕДОВАНИЯ СОСТОЯНИЯ ОТДЕЛЬНЫХ АДРЕСНЫХ ШИН, ОРГАНИЗУЕТ РАБОТУ ПРОЦЕССОРА С ТЕМ ИЛИ ИНЫМ УСТРОЙСТВОМ КОМПЬЮТЕРА, ВЗАИМОДЕЙСТВИЕ С ПОРТАМИ ВВОДА-ВЫВОДА.

ПРИМЕЧАНИЕ: ЗДЕСЬ И ДАЛЕЕ ПО ТЕКСТУ ДЕФИС ПЕРЕД НАЗВАНИЕМ СИГНАЛОВ ОЗНАЧАЕТ, ЧТО ДАННЫЙ СИГНАЛ АКТИВЕН ПРИ НИЗКОМ УРОВНЕ НАПРЯЖЕНИЯ.

ОБЩЕНИЕ ПРОЦЕССОРА С ВНЕШНИМИ УСТРОЙСТВАМИ ОСУЩЕСТВЛЯЕТСЯ ЧЕРЕЗ ПОРТЫ ВВОДА-ВЫВОДА. КОМПЬЮТЕР "ВИДИТ" ВНЕШНИЕ УСТРОЙСТВА КАК ПОРТ С ОПРЕДЕЛЕННЫМ АДРЕСОМ. ТАК ПОРТ С ДЕСЯТИЧНЫМ АДРЕСОМ 31 ЭТО ДЖОЙСТИК. КАК С ПОРТОМ 254 (ПОРТ ULA) КОМПЬЮТЕР ВЗАИМОДЕЙСТВУЕТ С КЛАВИАТУРОЙ, МАГНИТОФОНОМ, ГРОМКОГОВОРИТЕЛЕМ. ДАЖЕ ЦВЕТ БОРДЮРА ЭКРАНА ВЫВОДИТСЯ ЧЕРЕЗ ЭТОТ ПОРТ.

## ГЛАВА 2. МИКРОПРОЦЕССОР Z80

МИКРОПРОЦЕССОР Z80 ПРЕДСТАВЛЯЕТ СОБОЙ ВАЖНЕЙШЕЕ УСТРОЙСТВО КОМПЬЮТЕРА, СПОСОБНОЕ ВЫПОЛНЯТЬ ИМЕНУЮЩАЯ ПРОГРАММУ. ПРОГРАММА ДЛЯ Z80 ВСЕГДА ИМЕЕТ ВИД НАБОРА КОМАНД НА МАШИННОМ ЯЗЫКЕ, А ТАКЖЕ ДОПОЛНИТЕЛЬНЫХ ДАННЫХ.

В Z80 СПЕКТРУМ МИКРОПРОЦЕССОР Z80, РАБОТАЯ С ТАКТОВОЙ ЧАСТОТой 3,5 МГЦ, МОЖЕТ ОБРАБОТАТЬ ДО 875 ТЫСЯЧ ЕДИНИЦ ПРОСТЫХ КОМАНД НА МАШИННОМ ЯЗЫКЕ В СЕКУНДУ.

### 2.1 ФИЗИЧЕСКАЯ СТРУКТУРА МИКРОПРОЦЕССОРА

ТАКТОВЫЕ ИМПУЛЬСЫ ЧАСТОТОЙ 3,5 МГЦ ПОСТУПАЮТ НА ВХОД CLOCK (CLK) ПРОЦЕССОРА И ОПРЕДЕЛЯЮТ ВСЕ ВРЕМЕННЫЕ ХАРАКТЕРИСТИКИ ЕГО РАБОТЫ.

ВОСЕМЬ ЛИНИЙ D0-D7 ОБРАЗУЮТ ДВУСТОРОННЮЮ ВОСЬМИРАЗРЯДНУЮ ШИНУ ДАННЫХ, ПЕРЕДАЮЩУЮ БАЙТЫ ИНФОРМАЦИИ В МИКРОПРОЦЕССОР И ИЗ МИКРОПРОЦЕССОРА. ПРИ РАБОТЕ ПРОЦЕССОРА ЭТИ ЛИНИИ УСТАНАВЛИВАЮТСЯ ИМ В ОДНО ИЗ ТРЕХ УСТОЙЧИВЫХ СОСТОЯНИЙ: НУЛЕВОЕ, ВЫСОКОЕ И БОЛЬШОЕ СОПРОТИВЛЕНИЕ. АКТИВНЫЙ УРОВЕНЬ СИГНАЛОВ - ВЫСОКИЙ.

ШЕСТНАДЦАТЬ ЛИНИЙ A0-A15 ОБРАЗУЮТ ШИНУ АДРЕСА, КОТОРАЯ КАК И ШИНА ДАННЫХ ИМЕЕТ ТРИ УСТОЙЧИВЫХ СОСТОЯНИЯ. АКТИВНЫЙ УРОВЕНЬ СИГНАЛОВ ВЫСОКИЙ.

В ХОДЕ РАБОТЫ ПРОЦЕССОР ВЫРАБАТЫВАЕТ УПРАВЛЯЮЩИЕ СИГНАЛЫ, ПО КОТОРЫМ ВНЕШНИЕ УСТРОЙСТВА ОДНОЗНАЧНО ВЫПОЛНЯЮТ НЕОБХОДИМЫЕ ДЕЙСТВИЯ.



ПРИ КАЖДОМ СЧИТЫВАНИИ ДАННЫХ ИЗ ПАМЯТИ ИЛИ ИЗ ПОРТА ПРОЦЕССОР АКТИВИЗИРУЕТ ЛИНИЮ READ (ЧТЕНИЕ). ЭТА ЛИНИЯ ИМЕЕТ ТРИ УСТОЙЧИВЫХ СОСТОЯНИЯ. АКТИВНЫЙ УРОВЕНЬ СИГНАЛА-НИЗКИЙ. ФИЗИЧЕСКИ СИГНАЛ -RD УКАЗЫВАЕТ, ЧТО ЦП ГОТОВ К ЧТЕНИЮ ДАННЫХ ИЗ ПАМЯТИ ИЛИ ИЗ ПОРТА.

ПРИ КАЖДОЙ ПЕРЕСЫЛКЕ БАЙТА ДАННЫХ ИЗ МИКРОПРОЦЕССОРА В ПАМЯТЬ ИЛИ В ПОРТ АКТИВИЗИРУЕТСЯ ЛИНИЯ WRITE (ЗАПИСЬ). КАК И ЛИНИЯ RD ОНА ИМЕЕТ ТРИ УСТОЙЧИВЫХ СОСТОЯНИЯ. АКТИВНЫЙ УРОВЕНЬ СИГНАЛА-НИЗКИЙ. СИГНАЛ -WR УКАЗЫВАЕТ, ЧТО НА ШИНЕ ДАННЫХ ЦП СОДЕРЖАТСЯ ДАННЫЕ, ПРЕДНАЗНАЧЕННЫЕ ДЛЯ ЗАПИСИ В ПАМЯТЬ ИЛИ ПОРТ.

ДЛЯ ОДНОЗНАЧНОГО ПОНИМАНИЯ ВНЕШНИМИ УСТРОЙСТВАМИ К КАКОМУ ИЗ НИХ ОБРАЩАЕТСЯ ПРОЦЕССОР ОН АКТИВИЗИРУЕТ ЛИБО ЛИНИЮ -MREQ, ЛИБО -IORQ.

ЛИНИЯ -MREQ (ЗАПРОС НА РАБОТУ С ПАМЯТЬЮ) ИСПОЛЬЗУЕТСЯ ПРИ КАЖДОЙ ПЕРЕСЫЛКЕ БАЙТА ДАННЫХ В МИКРОПРОЦЕССОР ИЛИ В ПАМЯТЬ И ОБРАТНО. МИКРОПРОЦЕССОР З30 С ПОМОЩЬЮ СХЕМЫ ВНУТРЕННЕЙ СИНХРОНИЗАЦИИ ВЫДАЕТ ЭТОТ СИГНАЛ ТОЛЬКО ПОСЛЕ УСТАНОВЛЕНИЯ НА ШИНЕ СТАБИЛЬНОГО АДРЕСА И УБИРАЕТ ПОСЛЕ ОКОНЧАНИЯ ЦИКЛА ОБРАЩЕНИЯ К ПАМЯТИ. ЛИНИЯ ИМЕЕТ ТРИ УСТОЙЧИВЫХ СОСТОЯНИЯ. АКТИВНЫЙ УРОВЕНЬ СИГНАЛА-НИЗКИЙ.

ЛИНИЯ -IORQ (ВВОД-ВЫВОД) АКТИВИЗИРУЕТСЯ ПРИ ОБРАЩЕНИИ ПРОЦЕССОРА К ПОРТАМ ВВОДА-ВЫВОДА, Т.Е. ПРИ ВЫПОЛНЕНИИ СПЕЦИАЛЬНЫХ КОМАНД IN И OUT, ОПРЕДЕЛЯЮЩИХ ПОРЯДОК ОБРАЩЕНИЯ К ВНЕШНИМ УСТРОЙСТВАМ. СИГНАЛ -IORQ УКАЗЫВАЕТ, ЧТО МЛАДШИЙ БАЙТ ШИНЫ АДРЕСА СОДЕРЖИТ АДРЕС ПОРТА ВВОДА-ВЫВОДА, КОТОРЫЙ ДОЛЖЕН БЫТЬ ИСПОЛЬЗОВАН ПРИ ВЫПОЛНЕНИИ ОПЕРАЦИИ ВВОДА-ВЫВОДА. АКТИВНЫЙ УРОВЕНЬ - НИЗКИЙ.

ПРИ ВЫБОРКЕ В ТЕКУЩЕМ МАШИННОМ ЦИКЛЕ ИЗ ПАМЯТИ КОМАНДЫ НА МАШИННОМ ЯЗЫКЕ ИЛИ СВЯЗАННОГО С КОМАНДОЙ БАЙТА ДАННЫХ ПРОЦЕССОР АКТИВИЗИРУЕТ ЛИНИЮ -M1 (МАШИННЫЙ ЦИКЛ). АКТИВНЫЙ УРОВЕНЬ ЛИНИИ - НИЗКИЙ. ПРИ ЭТОМ ОДНОВРЕМЕННО АКТИВИЗИРУЮТСЯ ЛИНИИ -MREQ И -RD. ТАКИМ ОБРАЗОМ ПРИ ВЫБОРЕ КОМАНДЫ ИЛИ СВЯЗАННОГО С НЕЙ БАЙТА ДАННЫХ ИСПОЛЬЗУЮТСЯ СОВМЕСТНО ТРИ ЛИНИИ - M1, MREQ И RD, ТОГДА КАК ПРИ ВЫБОРКЕ ДАННЫХ ИЗ ЯЧЕЙКИ ПАМЯТИ ИСПОЛЬЗУЮТСЯ ТОЛЬКО ЛИНИИ MREQ И RD.

ВРЕМЯ ВЫБОРКИ КОМАНДЫ В КОМПЬЮТЕРЕ ZX SPECTRUM РАВНО ЧЕТЫРЕМ ТАКТОВЫМ ИМПУЛЬСАМ.

ПРИ РАБОТЕ С ЯЧЕЙКАМИ ПАМЯТИ ДИНАМИЧЕСКОГО ТИПА ИХ НЕОБХОДИМО ПЕРИОДИЧЕСКИ НЕ РЕЖЕ, ЧЕМ ЧЕРЕЗ 2 МСЕК ПЕРЕЗАПИСЫВАТЬ. В СОСТАВЕ МИКРОПРОЦЕССОРА ИМЕЕТСЯ СПЕЦИАЛЬНАЯ СХЕМА, ИМЕЮЩАЯ В СВОЕМ СОСТАВЕ ОБЫЧНЫЙ СЧЕТЧИК, КОТОРАЯ ОСУЩЕСТВЛЯЕТ УПРАВЛЕНИЕ ЭТИМ ПРОЦЕССОМ. С ТРЕБУЕМОЙ ПЕРИОДИЧНОСТЬЮ З30 ВЫДАЕТ НА АДРЕСНЫЕ ШИНЫ A0-A6 АДРЕС ОЧЕРЕДНОЙ СТРОКИ ЯЧЕЕК ПАМЯТИ, ПОДЛЕЖАЩЕЙ ПЕРЕЗАПИСИ И ВЫРАБАТЫВАЕТ СИГНАЛ RFSH (РЕГЕНЕРАЦИЯ), СООБЩАЮЩИЙ ЧТО ДАННЫЙ АДРЕС ЯВЛЯЕТСЯ АДРЕСОМ РЕГЕНЕРАЦИИ. ОДНОВРЕМЕННО ВЫСТАВЛЯЕТСЯ СИГНАЛ -MREQ. ЗАТЕМ, МИКРОПРОЦЕССОР АВТОМАТИЧЕСКИ ИНКРЕМЕНТИРУЕТ (УВЕЛИЧИВАЕТ НА ЕДИНИЦУ) СЧЕТЧИК ДЛЯ ВЫВОДА СЛЕДУЮЩЕГО АДРЕСА В СЛЕДУЮЩИЙ ОПРЕДЕЛЕННЫЙ МОМЕНТ ВРЕМЕНИ.

В КОМПЬЮТЕРЕ ПРОЦЕССОР И ULA ИСПОЛЬЗУЮТ ОДНУ И ТУ ЖЕ ОБЛАСТЬ ПАМЯТИ ОЗУ. ДЛЯ ИЗБЕЖАНИЯ КОНФЛИКТА НА ШИНАХ СХЕМА УПРАВЛЕНИЯ ВЫРАБАТЫВАЕТ СИГНАЛ WAIT УКАЗЫВАЕТ ПРОЦЕССОРУ, ЧТО АДРЕСУЕМАЯ ПАМЯТЬ ЗАНЯТА ULA И НЕ ГОТОВА ДЛЯ ВЫПОЛНЕНИЯ ПЕРЕДАЧИ ДАН-

ных. ЦП будет находиться в состоянии ожидания до тех пор, пока этот сигнал активен.

При активизации линии  $\overline{NMI}$  (немаскируемое прерывание) микропроцессор прекращает выполнение текущей программы, написанной на машинном языке, и начинает выполнение служебной программы обработки прерывания, предназначенной специально для этой цели. Активный уровень сигнала — низкий. В компьютере эта линия не используется, поэтому на нее постоянно подано +5V.

В компьютере ZX Spectrum сканирование клавиатуры осуществляется специальной программой, которая запускается посредством прерывания. Каждые 0,02 с (частотой 50 Гц) кадровые синхронимпульсы активизируют линию  $\overline{INT}$  (маскируемое прерывание), заставляя микропроцессор приостановить выполнение основной программы, написанной на машинном языке, и начать выполнение служебной программы сканирования клавиатуры.

В отличие от  $\overline{NMI}$  сигнал прерывания  $\overline{INT}$  может быть снят (маскирован) микропроцессором логически при выполнении определенных условий. Сигнал  $\overline{INT}$  должен оставаться на линии до тех пор, пока микропроцессор не произведет его выборку ( $\overline{NMI}$  может быть снят до окончания выборки). В то же время сигнал  $\overline{INT}$  должен быть удален после обслуживания прерывания. В противном случае он будет обработан микропроцессором как новый сигнал. Это накладывает определенные ограничения на длительность сигнала  $\overline{INT}$ .

При правильном подключении "питания" и "синхронизации" процессор переходит в рабочее состояние, однако до выполнения рабочей программы, написанной на машинном языке, результатом его работы будет бессмысленный набор данных. Для начала работы необходимо подать на вход  $\overline{RESET}$  напряжение низкого уровня. Это можно сделать с помощью кнопки "RESET". При включении компьютера этот сигнал вырабатывается автоматически с помощью схемы, построенной на RC-цепочке. Сразу после подачи напряжения питания на вход  $\overline{RESET}$  имеется низкий уровень напряжения, который по мере заряда через резистор конденсатора с увеличивается до +5V. Этот первоначальный нулевой уровень воспринимается процессором как сигнал сброса. По этому сигналу микропроцессор заносит в счетчик команд во все разряды нули. Это означает, что следующая команда будет считываться из ячейки с нулевым адресом, с которой начинается служебная программа инициализации. Эта программа проверяет выполнение соответствующих системных переменных. Ее выполнение завершается выводом в нижнюю строку экрана телевизионного дисплея сообщения, защищенного авторскими правами фирмы "Синклер Рисоч".

Микропроцессор Z80 позволяет внешним устройствам использовать шину адреса и шину данных для обмена данными с ячейками памяти. Внешнее устройство, выставляя сигнал  $\overline{BUSRD}$  (запрос на линию) осуществляет запрос микропроцессору на занятие следующего цикла обращения к памяти. В компьютере эта линия не используется, поэтому на нее постоянно подано постоянно +5V.

## 2.2 ЛОГИЧЕСКАЯ СТРУКТУРА МИКРОПРОЦЕССОРА

ВНУТРЕННЯЯ СТРУКТУРА МИКРОПРОЦЕССОРА Z80 ЧЕРЕЗВЫЧАЙНО СЛОЖНА И ФУНКЦИОНАЛЬНО СОСТОИТ ИЗ УСТРОЙСТВА УПРАВЛЕНИЯ, РЕГИСТРА КОМАНД, ПРОГРАММНОГО СЧЕТЧИКА, АРИФМЕТИКО-ЛОГИЧЕСКОГО УСТРОЙСТВА И ДВАДЦАТИ ЧЕТЫРЕХ ПОЛЬЗОВАТЕЛЬСКИХ РЕГИСТРОВ.

УСТРОЙСТВО УПРАВЛЕНИЯ В СООТВЕТСТВИИ С ПОЛЬЗОВАТЕЛЬСКОЙ ПРОГРАММОЙ ОРГАНИЗУЕТ ВЫЧИСЛИТЕЛЬНЫЙ ПРОЦЕСС, ВЫРАБАТЫВАЯ БОЛЬШОЕ ЧИСЛО СИГНАЛОВ, УПРАВЛЯЮЩИХ РАБОТОЙ ВСЕХ ЭЛЕМЕНТОВ МИКРОПРОЦЕССОРА. ЭТО ЖЕ УСТРОЙСТВО ВЫРАБАТЫВАЕТ СИГНАЛЫ, ПОСТУПАЮЩИЕ НА ВНЕШНИЕ УСТРОЙСТВА. ЭТО ПРЯМО ВСЕГО СИГНАЛЫ:  $-RD$ ,  $-WR$ ,  $-MREQ$  И ДР.

ОДНОБАЙТОВЫЙ РЕГИСТР КОМАНД ХРАНИТ КОПИЮ ВЫПОЛНЯЕМОЙ В ДАННЫЙ МОМЕНТ КОМАНДЫ НА МАШИННОМ ЯЗЫКЕ. ПРИ ВЫПОЛНЕНИИ ПРОГРАММЫ В ЭТОТ РЕГИСТР ПОСЛЕДОВАТЕЛЬНО ЗАНОСЯТСЯ ПООЧЕРЕДНО ВСЕ ВЫПОЛНЯЕМЫЕ КОМАНДЫ.

ПРОГРАММНЫЙ СЧЕТЧИК ИЛИ СЧЕТЧИК КОМАНД — ДВУХБАЙТОВЫЙ (16-РАЗРЯДНЫЙ) РЕГИСТР — ПРЕДНАЗНАЧЕН ДЛЯ ХРАНЕНИЯ АДРЕСА ОБЛАСТИ ПАМЯТИ, В КОТОРОЙ ХРАНИТСЯ КОМАНДА, КОТОРАЯ ДОЛЖНА ВЫПОЛНЯТЬСЯ СЛЕДУЮЩЕЙ.

ОДНОБАЙТОВЫЕ ПОЛЬЗОВАТЕЛЬСКИЕ РЕГИСТРЫ ВЫДЕЛЯЮТСЯ ПОЛЬЗОВАТЕЛЯМ ДЛЯ ИСПОЛЬЗОВАНИЯ В ПРОГРАММАХ. ОНИ ОБЫЧНО ПРИМЕНЯЮТСЯ ПАРАМИ.

РЕГИСТР А ЧАСТО НАЗЫВАЮТ АККУМУЛЯТОРОМ, ПОСКОЛЬКУ ОН СЛУЖИТ ИСТОЧНИКОМ ОДНОГО ИЗ ОПЕРАНДОВ ДЛЯ АЛУ И МЕСТОМ ХРАНЕНИЯ РЕЗУЛЬТАТОВ ВЫПОЛНЕНИЯ ОПЕРАЦИЙ.

РЕГИСТР F ЯВЛЯЕТСЯ НОСИТЕЛЕМ НАБОРА ВОСЬМИ ОДНОБИТНЫХ ФЛАЖКОВ. ПРОГРАММИСТУ ДОСТУПНЫ ЛИШЬ ЧЕТЫРЕ ГЛАВНЫЕ ФЛАЖКА: НУЛЬ, ЗНАК, ПЕРЕНОС И ЧЕТНОСТЬ/ПЕРЕПОЛНЕНИЕ. ОСТАЛЬНЫЕ ФЛАЖКИ ИСПОЛЗУЮТСЯ УПРАВЛЯЮЩИМ УСТРОЙСТВОМ.

РЕГИСТРЫ H И L ИСПОЛЗУЮТСЯ ТОЛЬКО СОВМЕСТНО, ОБРАЗУЯ ДВОЙНОЙ РЕГИСТР (HL), ПРЕДНАЗНАЧЕННЫЙ ДЛЯ ХРАНЕНИЯ ДВУХБАЙТОВОГО АДРЕСА ПАМЯТИ. В РЕГИСТРЕ H (HIGH) ХРАНЯТСЯ СТАРШИЕ БАЙТЫ ЧИСЕЛ, А В РЕГИСТРЕ L (LOW) — МЛАДШИЕ. ЭТИ РЕГИСТРЫ МОЖНО ИСПОЛЗОВАТЬ И ДЛЯ ХРАНЕНИЯ ЛЮБЫХ ДРУГИХ 16-РАЗРЯДНЫХ ЧИСЕЛ. В РЯДЕ ОПЕРАЦИЙ ЭТИ РЕГИСТРЫ МОЖНО ИСПОЛЗОВАТЬ РАЗДЕЛЬНО.

ДВОЙНЫЕ РЕГИСТРЫ BC И DE ИСПОЛЗУЮТСЯ В ОСНОВНОМ КАК ДВУХБАЙТОВЫЕ РЕГИСТРЫ АДРЕСА ПАМЯТИ, ХОТЯ ДОВОЛЬНО ЧАСТО ИХ ПРИМЕНЯЮТ И КАК ОДИНОЧНЫЕ РЕГИСТРЫ. НАПРИМЕР, РЕГИСТР B ОБЫЧНО ИСПОЛЗУЕТСЯ В КАЧЕСТВЕ СЧЕТЧИКА ЦИКЛОВ.

В МИКРОПРОЦЕССОРЕ Z80 ИМЕЕТСЯ ТАК НАЗЫВАЕМЫЙ АЛЬТЕРНАТИВНЫЙ НАБОР РЕГИСТРОВ, КОТОРЫЕ ОБОЗНАЧАЮТСЯ  $A'$ ,  $F'$ ,  $H'$ ,  $L'$ ,  $B'$ ,  $C'$ ,  $D'$ ,  $E'$  И НАЗЫВАЮТСЯ РЕГИСТРОМ А-ШТРИХ. ВСЕ МАШИННЫЕ КОМАНДЫ РАБОТАЮТ С ОБОИМИ НАБОРАМИ ОДИНАКОВО, ВЫБОР НАБОРА ОСУЩЕСТВЛЯЕТ ПРОГРАММИСТ.



ДВОЙНЫЕ РЕГИСТРЫ IX И IV ИСПОЛЬЗУЮТСЯ ПРИ ОПЕРАЦИЯХ, КОТОРЫЕ ВКЛЮЧАЮТ "ИНДЕКСИРОВАНИЕ" ДЛЯ РАЗМЕЩЕНИЯ БАЗОВОГО АДРЕСА СПИСКА ИЛИ ТАБЛИЦЫ.

ОДИНОЧНЫЙ ДВУХБАЙТОВЫЙ РЕГИСТР УКАЗАТЕЛЬ СТЕКА ИСПОЛЬЗУЕТСЯ ДЛЯ АДРЕСАЦИИ ЯЧЕЙКИ В ОБЛАСТИ СТЕКОВОЙ ПАМЯТИ И СОДЕРЖИТ АДРЕС ЯЧЕЙКИ, КОТОРАЯ ДОЛЖНА ИСПОЛЬЗОВАТЬСЯ ПРИ ОЧЕРЕДНОМ ОБРАЩЕНИИ С СТЕКУ.

РЕГИСТР I ЯВЛЯЕТСЯ РЕГИСТРОМ ВЕКТОРА ПРЕРЫВАНИЙ. В ZX SPECTRUM ИСПОЛЬЗУЕТСЯ ДЛЯ ВЫРАБОТКИ КАДРОВЫХ СИНХРОИМПУЛЬСОВ ТЕЛЕВИЗИОННОГО ДИСПЛЕЯ.

РЕГИСТР R ИСПОЛЬЗУЕТСЯ ДЛЯ РЕГЕНЕРАЦИИ ЯЧЕЕК ПАМЯТИ ДИНАМИЧЕСКОГО ТИПА. ОН ПРЕДСТАВЛЯЕТ СОБОЙ ПРОСТОЙ СЧЕТЧИК, СОДЕРЖИМОЕ КОТОРОГО УВЕЛИЧИВАЕТСЯ НА 1 ПРИ КАЖДОМ "ЦИКЛЕ ВЫБОРКИ". ЗНАЧЕНИЯ СЧЕТЧИКА, ИЗМЕНЯЮЩИЕСЯ ОТ 0 ДО 255, ИСПОЛЬЗУЮТСЯ ДЛЯ ВЫРАБОТКИ АДРЕСА РЕГЕНЕРИРУЕМОЙ СТРОКИ ЯЧЕЕК ПАМЯТИ.

АРИФМЕТИКО-ЛОГИЧЕСКОЕ УСТРОЙСТВО ВЫПОЛНЯЕТ ДВОИЧНОЕ СЛОЖЕНИЕ И ВЫЧИТАНИЕ, ПРОВОДИТ ОПЕРАЦИИ С БИТАМИ, ЗАДАЕТ СООТВЕТСТВУЮЩИЕ ФЛАЖКИ.

### ГЛАВА 3. СХЕМА СИНХРОНИЗАЦИИ

ГЕНЕРАТОР ТАКТОВЫХ ИМПУЛЬСОВ ПОСТРОЕН НА ИНВЕРТОРАХ D1.1, D1.2. ЧАСТОТА СТАБИЛИЗИРОВАНА КВАРЦЕВЫМ РЕЗОНАТОРОМ. ПОЛОЖИТЕЛЬНАЯ ОБРАТНАЯ СВЯЗЬ ЧЕРЕЗ РЕЗОНАТОР ОХВАТЫВАЕТ ДВА ЭЛЕМЕНТА D1.1 И D1.2, ПРИЧЕМ D1.1 ВЫВЕДЕН В ЛИНЕЙНЫЙ РЕЖИМ С ПОМОЩЬЮ РЕЗИСТОРА ОБРАТНОЙ СВЯЗИ.

С ВЫХОДА ЭЛЕМЕНТА D1.2 ИМПУЛЬСНАЯ ПОСЛЕДОВАТЕЛЬНОСТЬ ЧАСТОТОЙ 14 МГЦ С АВТОГЕНЕРАТОРА ПОСТУПАЕТ НА D-ТРИГГЕР, КОТОРЫЙ СНИЖАЕТ ТАКТОВУЮ ЧАСТОТУ В ДВА РАЗА. С ВЫХОДА 3 ТРИГГЕРА ИМПУЛЬСЫ ЧАСТОТОЙ 7 МГЦ ПОСТУПАЮТ НА СЧЕТЧИК D3. НА ВЫХОДАХ 3, 2, 6, 7 СЧЕТЧИКА ПУТЕМ ДЕЛЕНИЯ НА 2, 4, 8, 16 ФОРМИРУЮТСЯ ИМПУЛЬСЫ СООТВЕТСТВЕННО ЧАСТОТОЙ 3.5, 1.75, 0.875 И 0.4375 МГЦ. ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ D2.2, D21.3, D12.3, D5.1, D5.2, D1.4, D41.2, D10.3, ИЗ ЭТИХ ИМПУЛЬСОВ, ПРЕДСТАВЛЯЮЩИХ МЕНДРА, ФОРМИРУЮТ ОСНОВНЫЕ СИНХРОНИЗИРУЮЩИЕ СИГНАЛЫ RAS, -RAS, -CAS, -SCR, ЧТ D39, -BORDER НЕОБХОДИМОЙ ДЛИТЕЛЬНОСТИ И ЧАСТОТЫ.

ДЛЯ УПРАВЛЕНИЯ РАЗВЕРТКОЙ ТЕЛЕВИЗОРА СХЕМА СИНХРОНИЗАЦИИ ВЫРАБАТЫВАЕТ СИНХРОСИГНАЛ, ПРЕДСТАВЛЯЮЩИЙ СОБОЙ СМЕСЬ ИМПУЛЬСОВ СТРОЧНОЙ И КАДРОВОЙ СИНХРОНИЗАЦИИ.

СХЕМА ФОРМИРОВАНИЯ СТРОЧНЫХ СИНХРОИМПУЛЬСОВ СОБРАНА НА СХЕМАХ D4, D6.1, D12.2, D5.4, D40.2. НА ЕЕ ВХОД ПОСТУПАЕТ ТАКТОВЫЕ ИМПУЛЬСЫ ЧАСТОТОЙ 437,5 КГЦ. НА ВЫХОДЕ ФОРМИРУЮТСЯ СТРОЧНЫЕ СИНХРОИМПУЛЬСЫ ОТРИЦАТЕЛЬНОЙ ПОЛЯРНОСТИ.

С ВЫХОДА 12 СЧЕТЧИКА D3 ИМПУЛЬСЫ ЧАСТОТОЙ 437,5 КГЦ ПОСТУПАЮТ НА ВХОД 5 СЧЕТЧИКА D4, КОТОРЫЙ ПРОИЗВОДИТ ДЕЛЕНИЕ ЭТОЙ ЧАСТОТЫ НА 15. С ВЫХОДА 12 ЭТОГО СЧЕТЧИКА ИМПУЛЬСЫ ПОСТУПАЮТ НА ТАКТОВЫЙ ВХОД ТРИГГЕРА D6.1. НА ВЫХОДЕ ТРИГГЕРА ЗА СЧЕТ ОБРАТ-

НОЙ СВЯЗИ ФОРМИРУЮТСЯ ПРОТИВОФАЗНЫЕ ИМПУЛЬСЫ ЧАСТОТОЙ 13,65 КГЦ. В ОДИН ПОЛУПЕРИОД ФОРМИРУЕТСЯ ИНФОРМАЦИОННАЯ ЧАСТЬ ИЗОБРАЖЕНИЯ, В ДРУГОЙ — ОТОБРАЖАЕТСЯ БОРДЮР (РАМКА).

С ВЫХОДА 8 ТРИГГЕРА D10 СИГНАЛ ПАРАЛЛЕЛЬНОЙ УСТАНОВКИ СЧЕТЧИКА D4. ОН ПОСТУПАЕТ НА ВХОД 11 СЧЕТЧИКА, ПЕРЕПИСывая СИГНАЛЫ С ВХОДОВ D0-D3 НА ВХОД Q1-Q4. ПОСЛЕ ОКОНЧАНИЯ ДЕЙСТВИЯ ИМПУЛЬСА ">15" СЧЕТЧИК НАЧИНАЕТ СВОЙ СЧЕТ С НУЛЯ, ПОСКОЛЬКУ НА ВХОДЫ D0-D3 ПОДАН НУЛЕВОЙ ПОТЕНЦИАЛ.

С ВЫХОДА 6 ТРИГГЕРА D6.1 НА D5.1 ПОСТУПАЕТ ИМПУЛЬСЫ ОПРЕДЕЛЯЮЩИЕ ПОЛОЖЕНИЕ БОРДЮРА В СТРОКЕ.

ДЛЯ ПРАВИЛЬНОГО ФУНКЦИОНИРОВАНИЯ СТРОЧНЫЙ СИНХРОИМПУЛЬС ДОЛЖЕН БЫТЬ В СЕРЕДИНЕ ПОЛУПЕРИОДА, В КОТОРОМ ФОРМИРУЕТСЯ БОРДЮР. СТРОЧНЫЕ СИНХРОИМПУЛЬСЫ ФОРМИРУЮТСЯ СХЕМОЙ D5.4. НА ВХОД 13 ЭТОЙ СХЕМЫ ПОСТУПАЮТ ИМПУЛЬСЫ С ВЫХОДА 5 ТРИГГЕРА D6.1, НА ВХОДЕ 12 — ИМПУЛЬСЫ Н7 И -Н6. ИЗ ЭТИХ ИМПУЛЬСОВ ФОРМИРУЕТСЯ СТРОЧНЫЙ СИНХРОИМПУЛЬС -СС.

СХЕМА ФОРМИРОВАНИЯ КАДРОВЫХ СИНХРОИМПУЛЬСОВ СОБРАНА НА СХЕМАХ D7, D8, D8.2, D9.1, D10.1 D5 — НА ЕЕ ВХОД ПОСТУПАЕТ СТРОЧНЫЕ СИНХРОИМПУЛЬСЫ, НА ВЫХОДЕ ФОРМИРУЮТСЯ КАДРОВЫЕ СИНХРОИМПУЛЬСЫ И ИМПУЛЬСЫ БОРДЮРА.

С ВЫХОДА 5 СХЕМЫ D6.1 ИМПУЛЬСЫ ПОСТУПАЮТ НА ВХОД 5 СЧЕТЧИКА D7, КОТОРЫЙ ПРОИЗВОДИТ ДЕЛЕНИЕ ЭТОЙ ЧАСТОТЫ НА 16. С ВЫХОДА 12 ЭТОГО СЧЕТЧИКА ИМПУЛЬСЫ ПОСТУПАЮТ НА СЧЕТЧИК D8, ГДЕ ОСУЩЕСТВЛЯЕТСЯ ДЕЛЕНИЕ ЧАСТОТЫ ЕЩЕ НА 1626. С ВЫХОДА 12 СЧЕТЧИКА D8 ИМПУЛЬСЫ ПОСТУПАЮТ НА ТАКТОВЫЙ ВХОД ТРИГГЕРА D9.1 КОТОРЫЙ ЗА СЧЕТ ОБРАТНОЙ СВЯЗИ ОСУЩЕСТВЛЯЕТ ДОПОЛНИТЕЛЬНОЕ ДЕЛЕНИЕ ЧАСТОТЫ. ЭТИ ЖЕ ИМПУЛЬСЫ ПОСТУПАЮТ НА ВХОД 11 РАЗРЕШЕНИЯ ПАРАЛЛЕЛЬНОЙ УСТАНОВКИ СЧЕТЧИКОВ D7, D8.

ЗА СЧЕТ ТАКОЙ СВЯЗИ НА ВЫХОДАХ ТРИГГЕРА D8.2 ФОРМИРУЮТСЯ ИМПУЛЬСЫ ПЕРИОДОМ 50 ГЦ СО СКВАЖНОСТЬЮ 3. В БОЛЕЕ ДЛИННЫЙ ПОЛУПЕРИОД ПРОИСХОДИТ ФОРМИРОВАНИЕ ИНФОРМАЦИОННОЙ ЧАСТИ ЭКРАНА, В БОЛЕЕ КОРОТКИЙ — ФОРМИРУЕТСЯ БОРДЮР. СИГНАЛ С ВЫХОДА ТРИГГЕРА D ПОСТУПАЕТ НА СХЕМУ D5.1, ГДЕ ВМЕСТЕ С АНАЛОГИЧНЫМ СИГНАЛОМ, ПОСТУПАЮЩИМ С ТРИГГЕРА D6.1, ФОРМИРУЕТ СИГНАЛ -BORDER.

С ВЫХОДА 6 ТРИГГЕРА D9.1 ИМПУЛЬСЫ ЧАСТОТОЙ 50 ГЦ ПОСТУПАЮТ НА СХЕМУ ФОРМИРОВАНИЯ КАДРОВЫХ СИНХРОИМПУЛЬСОВ D6.2. НА ВЫХОДЕ 9 ЭТОЙ СХЕМЫ ФОРМИРУЮТСЯ КАДРОВЫЕ СИНХРОИМПУЛЬСЫ, ПО ВРЕМЕНИ РАСПОЛОЖЕННЫЕ ПОСРЕДИНЕ ИМПУЛЬСА БОРДЮРА.

ИМПУЛЬСЫ СТРОЧНОЙ И КАДРОВОЙ СИНХРОНИЗАЦИИ ОБЪЕДИНЯЮТСЯ НА СХЕМЕ D21.1 И ПОСТУПАЮТ ЧЕРЕЗ VT1 НА ВЫХОД КОМПЬЮТЕРА ДЛЯ ПОДАЧИ НА ТЕЛЕВИЗИОННЫЙ ВХОД "SINCH".

ИМПУЛЬСЫ С ВЫХОДА 9 ТРИГГЕРА D6.2 ЧЕРЕЗ УКРАЧИВАЮЩУЮ ЦЕПЬ, НА СХЕМЕ D9.2 КАЧЕСТВЕ СИГНАЛА ПРЕРЫВАНИЯ ПОСТУПАЮТ НА ВХОД -INT ПРОЦЕССОРА, ОСУЩЕСТВЛЯЮ ПЕРИОДИЧЕСКОЕ ПРЕРЫВАНИЕ ЕГО РАБОТЫ ДЛЯ ОПРОСА КЛАВИАТУРЫ.

## ГЛАВА 4. ОРГАНИЗАЦИЯ ПАМЯТИ КОМПЬЮТЕРА

МИКРОПРОЦЕССОРУ Z80, ИМЕЮЩЕМУ 16 ФИЗИЧЕСКИХ ЛИНИЙ АДРЕСА, ДОСТУПНЫ 65536 ЯЧЕЕК ПАМЯТИ (64 КБАЙТ).

ПАМЯТЬ КОМПЬЮТЕРА ZX SPECTRUM СОСТОИТ ИЗ ПОСТОЯННОГО И ОПЕРАТИВНОГО ЗАПОМИНАЮЩИХ УСТРОЙСТВ.

ПОСТОЯННОЕ ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО ЕМКОСТЬЮ (ПЗУ) 16 КБАЙТ ВЫПОЛНЕНО НА ДВУХ РЕПРОГРАММИРУЕМЫХ МИКРОСХЕМАХ K573PФ4(РФ6) ЕМКОСТЬЮ 8КХ8 КАЖДАЯ. ПЗУ ЗАНИМАЕТ ЯЧЕЙКИ С ДЕСЯТИЧНЫМИ АДРЕСАМИ 0-16383 ШЕСТНАДЦАТЕРИЧНЫЙ ЭКВИВАЛЕНТ 0000 - 3FFF. ИЗ 16 КБАЙТ УПРАВЛЯЮЩЕЙ ПРОГРАММЫ ОКОЛО 7 КБАЙТ ПРЕДНАЗНАЧЕНО ДЛЯ ОПЕРАЦИОННОЙ СИСТЕМЫ, 8 КБАЙТ - ДЛЯ ИНТЕРПРЕТАТОРА КОМАНД ЯЗЫКА БЕЙСИКА И 1К ОСТАЕТСЯ ДЛЯ ГЕНЕРАТОРА СИМВОЛОВ. КАК В ЛЮБОЙ ДРУГОЙ МИКРО-ЭВМ НА ОСНОВЕ Z80 НАЧАЛО УПРАВЛЯЮЩЕЙ ПРОГРАММЫ НАХОДИТСЯ В ЯЧЕЙКЕ С АДРЕСОМ 0000, Т.Е. РЕЗЕРВИРУЕТСЯ ЗА ПЗУ. ЭТО ОБУСЛОВЛЕНО ТЕМ, ЧТО ВСЯКИЙ РАЗ КОГДА Z80 ВОССТАНАВЛИВАЕТСЯ ПОСРЕДСТВОМ КОМАНДЫ RESET ИЛИ ИЗ-ЗА ДЕЙСТВИЯ СХЕМЫ ВОССТАНОВЛЕНИЯ ПИТАНИЯ, АДРЕСНАЯ ШИНА ВСЕГДА НАСТРАИВАЕТСЯ НА ТО, ЧТО КОД ОПЕРАЦИИ ПЕРВОЙ ИНСТРУКЦИИ СОДЕРЖИТСЯ В ЯЧЕЙКЕ С АДРЕСОМ 0000.

В КАЧЕСТВЕ ОПЕРАТИВНОГО ЗАПОМИНАЮЩЕГО УСТРОЙСТВА В КОМПЬЮТЕРЕ ZX SPECTRUM ИСПОЛЗУЮТСЯ ВОСЕМЬ МИКРОСХЕМ K556PУ5.

В ОЗУ РАЗМЕЩАЕТСЯ ОБЛАСТЬ ДИСПЛЕЯ (6 КБАЙТ ПАМЯТИ В ЯЧЕЙКАХ С ДЕСЯТИЧНЫМИ АДРЕСАМИ ОТ 16384 ДО 22527 (ШЕСТНАДЦАТЕРИЧНЫЙ ЭКВИВАЛЕНТ 4000-57FF)), ОБЛАСТЬ АТТРИБУТОВ ЭЛЕМЕНТОВ ТЕЛЕВИЗИОННОГО ИЗОБРАЖЕНИЯ, ОПРЕДЕЛЯЮЩИХ ЦВЕТ ТОНА И ФОНА СИМВОЛОВ, УРОВЕНЬ ИХ ЯРКОСТИ И НЕОБХОДИМОСТЬ МЕРЦАНИЯ. ОБЛАСТЬ АТТРИБУТОВ СОДЕРЖИТСЯ В ЯЧЕЙКАХ ПАМЯТИ С ДЕСЯТИЧНЫМИ АДРЕСАМИ ОТ 22528 ДО 23295 (ШЕСТНАДЦАТЕРИЧНЫЙ ЭКВИВАЛЕНТ 5800-5AFF). В ОЗУ СОДЕРЖИТСЯ БУФЕР ПРИНТЕРА, СИСТЕМНЫЕ ПЕРЕМЕННЫЕ И ДРУГИЕ ОБЛАСТИ НЕОБХОДИМЫЕ КОМПЬЮТЕРУ ДЛЯ ОРГАНИЗАЦИИ ВЫЧИСЛИТЕЛЬНОГО ПРОЦЕССА. ВСЕГДА ДЛЯ ЭТИХ НУЖД РЕЗЕРВИРУЕТСЯ 8 КБАЙТ. ТАКИМ ОБРАЗОМ ДЛЯ ПОЛЬЗОВАТЕЛЯ ОСТАЕТСЯ 40 КБАЙТ ПАМЯТИ ОЗУ.

65536 ЯЧЕЕК ПАМЯТИ КОМПЬЮТЕРА РАСПРЕДЕЛЕНА ПО УСТРОЙСТВАМ И АДРЕСАМ СЛЕДУЮЩИМ ОБРАЗОМ:

СХЕМА РАСПРЕДЕЛЕНИЯ ПАМЯТИ

ТАБЛИЦА 1

ТИП ПАМЯТИ	ДЕСЯТИЧНЫЙ	АДРЕСА													
		A15	A14	A13	A11	A9	A7	A5	A3	A1	A0				
ПЗУ-1	0000 - 8191	0	0	0	0	0	0	0	0	0	0	0	0	0	0
		0	0	0	1	1	1	1	1	1	1	1	1	1	1
ПЗУ-2	8192 - 16783	0	0	1	0	0	0	0	0	0	0	0	0	0	0
		0	0	1	1	1	1	1	1	1	1	1	1	1	1
ОЗУ	16384 - 65535	0	1	0	0	0	0	0	0	0	0	0	0	0	0
		1	1	1	1	1	1	1	1	1	1	1	1	1	1

ИЗ ПРИВЕДЕННОЙ ТАБЛИЦЫ ВИДНО, ЕСЛИ ПРОЦЕССОР ВЫСТАВИЛ АДРЕС, В КОТОРОМ A15, A14 РАВНЫ НУЛЮ, А A13=1, ТО ВЫБОРКА ИНФОРМА-

ЦИЯ ПРОИСХОДИТ ИЗ ПЗУ-2. ЕСЛИ ЖЕ А15, А14, А13 ОДНОВРЕМЕННО РАВНЫ НУЛЮ, ТО ОБРАЩЕНИЕ ПРОИСХОДИТ К ПЗУ-1. ВСЕ ДРУГИЕ АДРЕСА УКАЗАВАЮТ, ЧТО ОБРАЩЕНИЕ ОСУЩЕСТВЛЯЕТСЯ К ОЗУ.

ДАнные свойства различных областей памяти используется системой управления для подключения к шине данных микросхем, в которых находятся необходимые процессору ячейки памяти. Этот анализ производят специальные логические схемы, называемые дешифраторами адреса.

#### 4.1 РАБОТА ПРОЦЕССОРА С ПЗУ.

СХЕМА ДЕШИФРАЦИИ АДРЕСА ПЗУ СФОРМИРОВАНА НА ЛОГИЧЕСКОЙ СХЕМЕ D 20.

НА СХЕМУ ПОДАЮТСЯ СИГНАЛЫ  $\overline{MREQ}$ ,  $\overline{RD}$ , А14 И А15. В РЕЗУЛЬТАТЕ АНАЛИЗА ЭТИХ СИГНАЛОВ ВЫРАБАТЫВАЮТСЯ ИМПУЛЬСЫ  $\overline{RDROM}$ , КОТОРЫЕ ПОДАЮТСЯ НА КОНТАКТЫ 22 СООТВЕТСТВЕННО МИКРОСХЕМ D48, D49, ОБРАЗУЮЩИХ ПЗУ-1 И ПЗУ-2. ЕСЛИ НА ВХОДЫ СХЕМЫ D 20 ПОСТУПАЮТ ОДНОВРЕМЕННО СИГНАЛЫ  $\overline{MREQ}$ ,  $\overline{RD}$ , А14=0 И А15=0, ТО СХЕМА D 20 ВЫРАБАТЫВАЕТ СИГНАЛ  $\overline{RDROM}$ , ПОСТУПАЮЩИЙ НА КОНТАКТЫ 22 ОБОИХ МИКРОСХЕМ ПЗУ. ЕСЛИ ПРИ ЭТОМ А13=0, ТО ПОДКЛЮЧАЕТСЯ К ШИНЕ АДРЕСА И ШИНЕ ДАННЫХ МИКРОСХЕМ D48 (ПЗУ-1). В ПРОТИВНОМ СЛУЧАЕ К ПРОЦЕССОРУ ПОДКЛЮЧАЕТСЯ D49 ПЗУ-2.

ЕСЛИ  $\overline{RDROM}$  ИЗ-ЗА НЕРАВНЫХ НУЛЮ А14 И А15 ИМЕЕТ ВЫСОКИЙ УРОВЕНЬ НАПРЯЖЕНИЯ ПРИ  $\overline{MREQ}=0$  И  $\overline{RD}=0$ , ТО D 20 ВЫРАБАТЫВАЕТ СИГНАЛ  $\overline{CSRAM}$  НИЗКОГО НАПРЯЖЕНИЯ, УКАЗЫВАЮЩИЙ, ЧТО ПРОЦЕССОР ОБРАЩАЕТСЯ К ОЗУ.

#### 4.2 РАБОТА ПРОЦЕССОРА С ОЗУ

МИКРОСХЕМЫ К565РУ5, НА КОТОРЫХ ВЫПОЛНЕНО ОЗУ, ПРЕДСТАВЛЯЮТ СОБОЙ НАКОПИТЕЛИ ДИНАМИЧЕСКОГО ТИПА С МУЛЬТИПЛЕКСИРОВАНИЕМ АДРЕСА. ДЛЯ ИХ ПРАВИЛЬНОГО ФУНКЦИОНИРОВАНИЯ СХЕМОЙ УПРАВЛЕНИЯ КОМПЬЮТЕРА ФОРМИРУЮТСЯ НЕСКОЛЬКО СПЕЦИАЛЬНЫХ СИГНАЛОВ  $\overline{RAS}$ ,  $\overline{CAS}$ ,  $\overline{WE}$ .

МИКРОСХЕМА К565РУ5 ИМЕЕТ ВОСЕМЬ АДРЕСНЫХ ВХОДОВ, НО ОНА РАБОТАЕТ С ШЕСТНАДЦАТИРАЗЯДНЫМИ ШИНАМИ АДРЕСА. ДЛЯ СОКРАЩЕНИЯ ВЫВОДОВ МИКРОСХЕМЫ В НЕЙ ПРИМЕНЕНО ВРЕМЕННОЕ МУЛЬТИПЛЕКСИРОВАНИЕ: АДРЕС НУЖНОЙ ЯЧЕЙКИ ПРИНИМАЕТСЯ ПО ЧАСТЯМ СНАЧАЛА МЛАДШИЕ РАЗРЯДЫ АДРЕСА, ЗАТЕМ СТАРШИЕ. ДЛЯ СИНХРОНИЗАЦИИ РАБОТЫ МИКРОСХЕМЫ С ПОДАВАЕМЫМИ АДРЕСАМИ НА НЕЕ ПОДАЮТСЯ ДОПОЛНИТЕЛЬНЫЕ СИГНАЛЫ  $\overline{RAS}$  И  $\overline{CAS}$ .

ПОСЛЕ ПОДАЧИ НА МИКРОСХЕМУ МЛАДШИХ РАЗРЯДОВ АДРЕСА ПО СПАДУ СИГНАЛА  $\overline{RAS}$  ВЫПОЛНЯЕТСЯ ВЫБОРКА СТРОКИ ИЗ 256 ЗАПОМИНАЮЩИХ ЯЧЕЕК. ЗАТЕМ НА АДРЕСНЫЕ ШИНЫ ПОДАЮТСЯ СТАРШИЕ РАЗРЯДЫ АДРЕСА И ПО СПАДУ СИГНАЛА  $\overline{CAS}$  ПРОИЗВОДИТСЯ ПОДКЛЮЧЕНИЕ К ШИНЕ ДАННЫХ ВЫБРАННОЙ ЯЧЕЙКИ ПАМЯТИ (В ЭТО ВРЕМЯ  $\overline{RAS}$  СОХРАНЯЕТ НИЗКИЙ УРОВЕНЬ НАПРЯЖЕНИЯ). КОД ОПЕРАЦИИ ЗАДАЕТ СИГНАЛ  $\overline{WE}$ . ПРИ ЧТЕНИИ ( $\overline{WE}=1$ ) ВЫБРАННАЯ ЯЧЕЙКА ПАМЯТИ ПОДКЛЮЧАЕТСЯ К ВЫХОДНОЙ ШИНЕ  $D0$  И ПРИ  $\overline{CAS}=0$  НА НЕЕ ВЫДАЕТСЯ БИТ ДАННЫХ. ПРИ ЗАПИСИ В ЯЧЕЙКУ С ВЫБРАННЫМ АДРЕСОМ БИТ ДАННЫХ ДОЛЖЕН БЫТЬ НА ВХОДНОЙ ШИНЕ  $D1$  К МОМЕНТУ ПРИХОДА СИГНАЛА  $\overline{CAS}$ , НО ПОСЛЕ УСТАНОВКИ СИГНАЛА РАЗРЕШЕНИЯ ЗА-



ПИСИ W В НУЛЕВОЕ СОСТОЯНИЕ. СИГНАЛ WE СОВМЕСТНО С СИГНАЛОМ CAS УПРАВЛЯЕТ ВЫХОДНЫМ СОПРОТИВЛЕНИЕМ МИКРОСХЕМЫ DO, ПЕРЕВОДЯ ПРИ ЧТЕНИИ ВЫХОД ИЗ ВЫСОКООМНОГО СОСТОЯНИЯ В ОБЫЧНОЕ (WE=1 И CAS=0).

ХРАНЕНИЕ ИНФОРМАЦИИ В НАКОПИТЕЛЯХ ДИНАМИЧЕСКОГО ТИПА ОСУЩЕСТВЛЯЕТСЯ В МИКРОЕМКОСТЯХ, КОТОРЫЕ ИЗ-ЗА ПАРАЗИТНЫХ УТЕЧЕК ТРЕБУЕТСЯ НЕ РЕЖЕ, ЧЕМ ЧЕРЕЗ 2 МСЕК ПОДЗАРЯЖАТЬ ИЛИ ПЕРЕЗАПИСЫВАТЬ (РЕГЕНЕРИРОВАТЬ). ПРИ СЧИТЫВАНИИ ДАННЫХ ИЗ ОДНОЙ ИЗ ЯЧЕЕК ПАМЯТИ ПРОИСХОДИТ РЕГЕНЕРАЦИЯ ВСЕЙ СТРОКИ ЯЧЕЕК. ПОЭТОМУ ДЛЯ РЕГЕНЕРАЦИИ ЯЧЕЕК ПАМЯТИ ДОСТАТОЧНО ПОДАТЬ ТОЛЬКО МЛАДШИЕ РАЗРЯДЫ АДРЕСА, ВЫЗЫВАЯ ТЕМ САМЫМ СЧИТЫВАНИЕ, А ЗНАЧИТ, РЕГЕНЕРАЦИЮ СТРОКИ ЯЧЕЕК ПАМЯТИ. ДЛЯ РЕГЕНЕРАЦИИ КАЖДОЙ ИЗ 256 СТРОК ЯЧЕЕК ПАМЯТИ НЕ РЕЖЕ 2 МСЕК НЕОБХОДИМО, ЧТОБЫ МИКРОПРОЦЕССОР ИМЕЛ ДОСТУП К ПАМЯТИ НЕ РЕЖЕ РАЗА В 8 МСЕК.

КАК УЖЕ ОТМЕЧАЛОСЬ МИКРОПРОЦЕССОР Z80 ИМЕЕТ СПЕЦИАЛЬНОЕ АППАРАТНОЕ СРЕДСТВО, НАЗЫВАЕМОЕ СЧЕТЧИКОМ РЕГЕНЕРАЦИИ, КОТОРЫЙ ВЫВОДИТ АДРЕС РЕГЕНЕРАЦИИ В СИСТЕМНУЮ АДРЕСНУЮ ШИНУ ЧЕРЕЗ ОПРЕДЕЛЕННЫЕ ИНТЕРВАЛЫ ВРЕМЕНИ.

ОДНА МИКРОСХЕМА K56CP45 ХРАНИТ В СВОИХ ЯЧЕЙКАХ ПО ОДНОМУ БИТУ ИНФОРМАЦИИ. ДЛЯ ХРАНЕНИЯ ВОСЬМИРАЗРЯДНЫХ ДАННЫХ МИКРОСХЕМЫ ОБЪЕДИНЯЮТСЯ В БЛОКИ ПО ВОСЕМЬ ШТУК. ПРИ ЭТОМ СООТВЕТСТВЕННО ОБЪЕДИНЯЮТСЯ И ВХОДЫ A0-A6, -RAS, -CAS И WE ВСЕХ МИКРОСХЕМ МОДУЛЯ. ИНФОРМАЦИОННЫЕ ВХОД DI И ВЫХОД DO ПОДСОЕДИНЯЮТСЯ К СООТВЕТСТВУЮЩИМ РАЗРЯДАМ ШИНЫ ДАННЫХ.

СХЕМА ДЕШИФРАЦИИ АДРЕСА ОЗУ ВЫПОЛНЕНА НА МИКРОСХЕМЕ D28. ЭТА СХЕМА ВЫРАБАТЫВАЕТ СИГНАЛ -CSRAM ПРИ НАЛИЧИИ НА ЕЕ ВХОДЕ СИГНАЛОВ ПРОЦЕССОРА -MREQ, -RD, И НЕ РАВНЫХ НУЛЮ A14 ИЛИ A15. ЭТОТ СИГНАЛ ПОСТУПАЯ НА ВХОД 1 РЕГИСТРА D35, ПЕРЕВОДИТ ЕГО ИЗ ВЫСОКООМНОГО СОСТОЯНИЯ В ОБЫЧНОЕ, ПОДКЛЮЧАЯ ТЕМ САМЫМ ЕГО ВЫХОД К ШИНЕ ДАННЫХ ПРОЦЕССОРА. НА ВХОД ЭТОГО РЕГИСТРА В ЭТО ВРЕМЯ ПОСТУПАЕТ БАЙТ ДАННЫХ, СЧИТАННЫЙ ИЗ ОЗУ.

СИГНАЛЫ -RAS ФОРМИРУЮТСЯ ТРИГГЕРОМ D2.1. ЭТОТ СИГНАЛ, ЗАДЕРЖАННЫЙ СХЕМОЙ D12.3 НА 50НС И ИНВЕРТИРОВАННЫЙ (-RAS), ПОСТУПАЕТ НА МУЛЬТИПЛЕКСОРЫ D17, D16 ДЛЯ ИХ ПЕРЕКЛЮЧЕНИЯ.

СИГНАЛЫ -CAS ФОРМИРУЮТСЯ СХЕМОЙ D41.2 ИЗ ТАКОВЫХ СИГНАЛОВ, ЧАСТОТА КОТОРЫХ МОДУЛИРУЕТСЯ СИГНАЛОМ -BORDER. ПРИ ФОРМИРОВАНИИ БОРДЮРА ЭКРАНА ИХ ЧАСТОТА СОСТАВЛЯЕТ 875 КГЦ, ЧТО СООТВЕТСТВУЕТ ВРЕМЕННОЙ ХАРАКТЕРИСТИКЕ ОБРАЩЕНИЯ К ПАМЯТИ МИКРОПРОЦЕССОРА. ПРИ ФОРМИРОВАНИИ ИНФОРМАЦИОННОЙ ЧАСТИ ЭКРАНА ЧАСТОТА ИМПУЛЬСОВ -CAS УВЕЛИЧИВАЕТСЯ В ДВА РАЗА, ПОСКОЛЬКУ В ЭТО ВРЕМЯ С ОЗУ ВЗАИМОДЕЙСТВУЕТ ULA.

СИГНАЛ -WE ФОРМИРУЕТСЯ СХЕМАМИ D1.3, D41.4, D41.3. ТРИГГЕР D22.2 ВЫРАБАТЫВАЕТ СИГНАЛ -WE=0 (ЗАПИСЬ В ПАМЯТЬ) ТОЛЬКО ПРИ УСЛОВИИ, ЧТО ОДНОВРЕМЕННО С ВЫДАЧЕЙ СИГНАЛА -MREQ ПРОЦЕССОР НЕ ВЫСТАВИЛ СИГНАЛЫ -RD И -RFSH. ЭТО УСЛОВИЕ АНАЛИЗИРУЕТСЯ ЛОГИЧЕСКИМИ СХЕМАМИ D1.3 И D41.3. ПРИ ЕГО ВЫПОЛНЕНИИ НА ИНФОРМАЦИОННЫЙ ВХОД 12 ТРИГГЕРА ПОСТУПАЕТ НАПРЯЖЕННЫЙ ВЫСОКОГО УРОВНЯ. С ПРИХОДОМ НА ТАКОВЫЙ ВХОД С ТРИГГЕРА СИГНАЛА -WE=0 НА ЕГО ИНВЕРСНОМ ВЫХОДЕ -Q ФОРМИРУЕТСЯ СИГНАЛ -WE=0.

В РЕЗУЛЬТАТЕ ПОДОБНОГО АНАЛИЗА СХЕМАМ D1.3, D22.2 И D41 ВЫРАБАТЫВАЕТСЯ СИГНАЛ -ME, КОТОРЫЙ ПОСТУПАЕТ НА МИКРОСХЕМЫ D23-30. НА ЭТИ ЖЕ СХЕМЫ ПОСТУПАЮТ СИГНАЛЫ -RAS И -CAS.

ВЫСТАВЛЕННЫЙ ПРОЦЕССОРОМ АДРЕС ЯЧЕЙКИ ПАМЯТИ A0-A15 ПОСТУПАЕТ НА МУЛЬТИПЛЕКСОРЫ D17, D16. ПРИ ОТСУТСТВИИ НА ИХ ВХОДАХ 1 СИГНАЛА RAS С ПРИХОДОМ H1 НА ВЫХОДАХ МУЛЬТИПЛЕКСОРОВ УСТАНОВЛИВАЮТСЯ МЛАДШИЕ РАЗРЯДЫ АДРЕСА, КОТОРЫЕ ПОДАЮТСЯ НА МИКРОСХЕМЫ O39. С ПОДАЧЕЙ НА D23-30 СИГНАЛА -RAS ПРОИСХОДИТ СЧИТЫВАНИЕ ИЗ O39 СТРОКИ ИЗ 256 ЗАПОМИНАЮЩИХ ЯЧЕЕК. С ПРИХОДОМ НА МУЛЬТИПЛЕКСОРЫ D15, D16 СИГНАЛА RAS НА АДРЕСНЫЕ ВХОДЫ МИКРОСХЕМ O39 ПОДАЮТСЯ СТАРШИЕ РАЗРЯДЫ АДРЕСА. ПОСЛЕ ПРИХОДА НА D23-30 СИГНАЛА -CAS НА ВЫХОДНУЮ ШИНУ ДАННЫХ ВЫДАЕТСЯ БАЙТ ДАННЫХ, КОТОРЫЙ ЗАПИСЫВАЕТСЯ В РЕГИСТР D35. ИЗ ЭТОГО РЕГИСТРА С ПРИХОДОМ ИМПУЛЬСОВ ЧТ O39 И ПРИ НАЛИЧИИ -CSRAM ДАННЫЕ ВЫДАЮТСЯ НА ШИНУ ДАННЫХ ПРОЦЕССОРА.

ПРИ РЕГЕНЕРАЦИИ ЯЧЕЕК ПАМЯТИ ПРОЦЕССОР ВЫДАЕТ СИГНАЛ -MREQ С ВЫСТАВЛЕНИЕМ НА АДРЕСНОЙ ШИНЕ ТОЛЬКО МЛАДШИХ РАЗРЯДОВ АДРЕСА. ПРИ ЭТОМ АКТИВНЫЙ УРОВЕНЬ СИГНАЛА -RFSH СИГНАЛИЗИРУЕТ, ЧТО ВЫСТАВЛЕННЫЙ АДРЕС ЯВЛЯЕТСЯ АДРЕСОМ РЕГЕНЕРАЦИИ.

ПРОЦЕССОР НЕ ПИШИТ ПРИ ЗАПИСИ ИНФОРМАЦИИ В ЯЧЕЙКИ O39. ПРОЦЕССОР НЕ ВЫДАЕТ СИГНАЛЫ -RD И -RFSH. СХЕМЫ D1.3, D41.1, D22.2 ВЫРАБАТЫВАЮТ СИГНАЛ -ME=1, КОТОРЫЙ ПОСТУПАЕТ НА ВХОД РАЗРЕШЕНИЯ ЗАПИСИ (КОНТАКТ 3) МИКРОСХЕМ O39 D23-30.

С ПРИХОДОМ СИГНАЛОВ -RAS, RAS И -CAS ПРОИСХОДИТ ЗАПИСЬ ИНФОРМАЦИИ В ВЫБРАННУЮ ЯЧЕЙКУ O39.

ДЛЯ ОБЕСПЕЧЕНИЯ СОВМЕСТНОЙ РАБОТЫ ПРОЦЕССОРА И ULA С O39 СЛУЖИТ ТРИГГЕР D22.1.

ПРИ ПОСТУПЛЕНИИ НА ТАКТОВЫЙ ВХОД ПОЛОЖИТЕЛЬНОГО ПЕРЕПАДА СИГНАЛ CSRAM НА ВЫХОДЕ ТРИГГЕРА ФОРМИРУЕТ СИГНАЛ -WAIT=0. ЭТОТ СИГНАЛ ОСТАНАВЛИВАЕТ ПРОЦЕССОР. С ИЗМЕНЕНИЕМ УРОВНЯ СИГНАЛА ЧТ O39 ПРОИСХОДИТ УСТАНОВКА ТРИГГЕРА. УРОВЕНЬ СИГНАЛА -WAIT СТАНОВИТСЯ РАВНЫМ ЕДИНИЦЕ И РАБОТА ПРОЦЕССОРА ПРОДОЛЖАЕТСЯ.

### ГЛАВА 5. ВЫВОД ИНФОРМАЦИИ НА ЭКРАН ТЕЛЕВИЗОРА

ИЗОБРАЖЕНИЕ В КОМПЬЮТЕРЕ ФОРМИРУЕТСЯ ДИСКРЕТНЫМ МЕТОДОМ СИНТЕЗА ТЕЛЕВИЗИОННЫХ СИГНАЛОВ. РАСТР ТЕЛЕВИЗОРА ДЕЛИТСЯ НА ДВЕ ЗОНЫ: ГРАФИЧЕСКУЮ, СОДЕРЖАЩУЮ ЭЛЕМЕНТЫ ИЗОБРАЖЕНИЯ, И БОРДЮР, ОКРУЖАЮЩИЙ ПЕРВУЮ ЗОНУ. ГРАФИЧЕСКИЙ ЭКРАН СОСТОИТ ИЗ 768 ПОЗИЦИЙ, КАЖДАЯ ИЗ КОТОРЫХ ПРЕДСТАВЛЯЕТ СОБОЙ МАТРИЦУ ИЗ 8x8 ЭЛЕМЕНТОВ. (ОДИН БАЙТ НА КАЖДЫЙ РЯД ИЗ ВОСЬМИ ТОЧЕК). ПРИ ЭТОМ ПО ГОРИЗОНТАЛИ РАЗМЕЩАЕТСЯ 256 ЭЛЕМЕНТОВ (32 ЗНАКА ПО 8 ЭЛЕМЕНТОВ В

ТЕКСТОВОМ РЕЖИМЕ) И ПО ВЕРТИКАЛИ НА 192 ЭЛЕМЕНТА (24 СТРОКИ ВОСЬМИЭЛЕМЕНТНЫХ ЗНАКОВ). ИНФОРМАЦИЯ ВЫДАЮТСЯ НА ЭКРАН ПОСТРОЧНО, ПОЭТОМУ В ОЗУ БИТЫ ОДНОВРЕМЕННЫХ РЯДОВ МАТРИЦ СОСЕДНИХ ПОЗИЦИЙ ЭКРАНА ХРАНЯТСЯ РЯДОМ. ДЛЯ ОТОБРАЖЕНИЯ ПОЛНОГО ГРАФИЧЕСКОГО ЭКРАНА ВЫХОДИТСЯ 192 СКАНИРОВАНИЯ.

ЗОНА БОРДЮРА ЗАДАЕТСЯ ТОЛЬКО ЦВЕТОМ ИЗ ДОСТУПНОГО НАБОРА.

СХЕМА синхронизации при формировании строк развертки выделяет из раstra графическую зону и задает начало опроса областей ОЗУ, в которых содержится информация, выводимая на экран.

ГРАФИЧЕСКАЯ информация, выводимая на экран, состоит из двух составляющих: собственно информации о заполнении области и о цвете ее составляющих фона и тона. Эта информация содержится в ОЗУ соответственно в области дисплея и в области атрибутов. Адреса этих областей жестко связаны друг с другом.

ВЕРХНЯЯ ТРЕТЬ ЭКРАНА — СТРОКИ С НОМЕРАМИ ОТ 0 ДО 7, ФОРМИРУЕТСЯ ПРИ СКАНИРОВАНИИ ЯЧЕЕК С ДЕСЯТИЧНЫМИ АДРЕСАМИ С 16384 ПО 18431 (ШЕСТНАДЦАТИРИЧНЫЙ ЭКВИВАЛЕНТ 4000-47FF). СРЕДНЕЙ ЧАСТИ — СТРОКИ С НОМЕРАМИ ОТ 8 ДО 15, СООТВЕТСТВУЮТ ЯЧЕЙКАМ С ДЕСЯТИЧНЫМИ АДРЕСАМИ С 18432 ПО 20479 (ШЕСТНАДЦАТИРИЧНЫЙ ЭКВИВАЛЕНТ 4800-4FFF). И НИЖНЕЙ ЧАСТИ — СТРОКИ С НОМЕРАМИ ОТ 16 ДО 23, ЯЧЕЙКИ С ДЕСЯТИЧНЫМИ АДРЕСАМИ С 20480 ПО 22527 (ШЕСТНАДЦАТИРИЧНЫЙ ЭКВИВАЛЕНТ 5000-57FF).

КАЖДЫЙ ИЗ ЭТИХ БЛОКОВ ПО 2 КБАЙТА УСЛОВНО ДЕЛИТСЯ НА ВОСЕМЬ ОБЛАСТЕЙ ПО 0,25 КБАЙТ. САМЫЕ ПЕРВЫЕ ИЗ ТАКИХ ОБЛАСТЕЙ В КАЖДОМ ИЗ ТРЕХ БЛОКОВ СОДЕРЖИТ БИТЫ, ФОРМИРУЮЩИЕ В СООТВЕТСТВУЮЩЕЙ ЧАСТИ ЭКРАНА ВЕРХНИЕ СТРОКИ 256 СИМВОЛОВ. ВТОРЫЕ ОБЛАСТИ — БИТЫ ДЛЯ ВТОРЫХ СТРОК СИМВОЛОВ И ТАК ДАЛЕЕ ДЛЯ ВСЕХ ВОСЬМИ СТРОК. ЭТО СОТНОШЕНИЕ НАБЛЮДАЕТСЯ ДЛЯ ВСЕХ 24 ОБЛАСТЕЙ ПО 0,25 КБАЙТ В ОБЛАСТИ ДИСПЛЕЯ.

ТЕЛЕВИЗИОННЫЙ ДИСПЛЕЙ ИМЕЕТ 768 ОБЛАСТЕЙ СИМВОЛОВ, ДЛЯ КАЖДОЙ ИЗ КОТОРЫХ МОЖНО ЗАДАТЬ ОДИН ИЗ ВОСЬМИ ЦВЕТОВ ФОНА, ВОСЬМИ ЦВЕТОВ ТОНА, ДВУХ СПОСОБОВ ОТОБРАЖЕНИЯ (МЕРЦАНИЕ ИЛИ ПОСТОЯННОЕ ВЫСВЕЧИВАНИЕ) И ДВУХ ЯРКОСТЕЙ ОТОБРАЖЕНИЯ (ПОВЫШЕННАЯ ИЛИ НОРМАЛЬНАЯ ЯРКОСТЬ ВЫСВЕЧИВАНИЯ).

ДЛЯ ХРАНЕНИЯ ДАННЫХ С ХАРАКТЕРИСТИКАМИ ИЗОБРАЖЕНИЯ ИСПОЛЬЗУЮТСЯ ЯЧЕЙКИ ПАМЯТИ С ДЕСЯТИЧНЫМИ АДРЕСАМИ ОТ 22528 ДО 23295 (ШЕСТНАДЦАТИРИЧНЫЙ ЭКВИВАЛЕНТ 5800-5AFF).

СООТВЕТСТВИЕ МЕЖДУ ОБЛАСТЯМИ СИМВОЛОВ И БАЙТАМИ АТТРИБУТОВ ДОСТАТОЧНО ПРОСТОЕ. ВНАЧАЛЕ РАСПОЛОЖЕНЫ БАЙТЫ, СООТВЕТСТВУЮЩИЕ СИМВОЛАМ ВЕРХНЕЙ СТРОКИ ТЕЛЕВИЗИОННОГО ДИСПЛЕЯ СЛЕВА НАПРАВО, ЗАТЕМ СООТВЕТСТВУЮЩИЕ СИМВОЛАМ ВТОРОЙ СТРОКИ И ТАК ДАЛЕЕ ДО САМОЙ НИЖНЕЙ СТРОКИ. В БАЙТАХ АТТРИБУТОВ БИТЫ 0, 1 И 2 ЗАДАЮТ ЦВЕТ ТОНА, БИТЫ 3, 4 И 5 — ЦВЕТ ФОНА, БИТ 6 — ЯРКОСТЬ (НУЛЕВОЕ СООТВЕТСТВУЕТ НОРМАЛЬНОЙ ЯРКОСТИ ВЫСВЕЧИВАНИЯ) И БИТ 7 — СПОСОБ ОТОБРАЖЕНИЯ (НУЛЕВОЕ ЗНАЧЕНИЕ СООТВЕТСТВУЕТ ПОСТОЯННОМУ ВЫСВЕЧИВАНИЮ).

ПРИ ВЫВОДЕ КАРТИНКИ НА ЭКРАН ULA ПООЧЕРЕДНО СЧИТЫВАЕТ БАЙТ ИЗ ОБЛАСТИ ДИСПЛЕЯ, ЗАТЕМ БАЙТ ИЗ ОБЛАСТИ АТТРИБУТОВ.





МУЛЬТИПЛЕКИРОВАНИЕ АДРЕСОВ ЯЧЕЕК ПАМЯТИ ОСУЩЕСТВЛЯЕТСЯ КОММУТАТОРАМИ D18, D19 АНАЛОГИЧНО РАССМОТРЕННОМУ ПРИ РАБОТЕ ОЗУ С ПРОЦЕССОРОМ.

СЧИТАННЫЕ ИЗ ОЗУ ДАННЫЕ ЭКРАННОЙ ОБЛАСТИ ПОСТУПАЮТ НА СХЕМУ ФОРМИРОВАНИЯ СИГНАЛОВ ЦВЕТНОСТИ И ЯРКОСТИ.

СЧИТАННЫЙ БАЙТ СИМВОЛА ПО СИГНАЛУ -SCR ЧЕРЕЗ ВХОДЫ D0-D3 ЗАПИСЫВАЕТСЯ В РЕГИСТР D37, D38 НА ТАКТОВЫЙ ВХОД ЭТОГО РЕГИСТРА ПОСТУПАЮТ ИМПУЛЬСЫ ЧАСТОТОЙ 7 МГЦ, КОТОРЫЕ ОСУЩЕСТВЛЯЮТ СДВИГ ЗАПИСАННОЙ ИНФОРМАЦИИ. В РЕЗУЛЬТАТЕ ЭТОГО НА ВЫХОДЕ 10 РЕГИСТРА D38 ПОЯВЛЯЮТСЯ ПОСЛЕДОВАТЕЛЬНО ВОСЕМЬ БИТОВ СИМВОЛА, ОПРЕДЕЛЯЮЩИЕ НАЧЕРТАНИЕ ОДНОЙ ЕГО СТРОКИ. ЭТИ БИТЫ ЗАДЕРЖИВАЮТСЯ НА РЕГИСТРЕ D39 И ПОСТУПАЮТ НА СХЕМУ D34 КУДА УЖЕ К ЭТОМУ ВРЕМЕНИ ПОСТУПИЛИ ДАННЫЕ АТТРИБУТОВ СЧИТАННОГО СИМВОЛА.

СЧИТАННЫЙ ИЗ ОЗУ БАЙТ АТТРИБУТОВ СИМВОЛА ЧЕРЕЗ МУЛЬТИПЛЕКСОРЫ D32 И D31 ПОСТУПАЮТ НА ИНФОРМАЦИОННЫЕ ВХОДЫ МУЛЬТИПЛЕКСОРА D34.

ЧЕТЫРЕХВХОДОВЫЙ МУЛЬТИПЛЕКСОР D34 УЧАСТВУЕТ В ФОРМИРОВАНИИ СИГНАЛОВ ЦВЕТНОСТИ, ПОСТУПАЮЩИХ НА ВХОД ТЕЛЕВИЗОРА. НА ВХОДЫ А ЭТОГО МУЛЬТИПЛЕКСОРА ПОСТУПАЮТ СООТВЕТСТВЕННО НУЛЕВОЙ, ПЕРВЫЙ И ВТОРОЙ БИТЫ БАЙТА АТТРИБУТОВ, ОПРЕДЕЛЯЮЩИХ ЦВЕТ ТОНА. НА ВХОД В ПОСТУПАЮТ СООТВЕТСТВЕННО ТРЕТИЙ, ЧЕТВЕРТЫЙ И ПЯТЫЙ БИТЫ, ОПРЕДЕЛЯЮЩИХ ЦВЕТ ФОНА. ПРИ НАЛИЧИИ НА КОММУТАЦИОННОМ ВХОДЕ 1 НАПРЯЖЕНИЯ НИЗКОГО УРОВНЯ ВЫБОР БИТА, КОТОРЫЙ ПОСТУПАЕТ НА ВЫХОД СХЕМЫ, ОПРЕДЕЛЯЕТСЯ СИГНАЛОМ, ПОСТУПАЮЩИМ ЧЕРЕЗ D12.4 С РЕГИСТРА D38, Т.Е. ПОСЛЕДОВАТЕЛЬНОСТЬЮ БИТОВ ОЧЕРЕДНОГО БАЙТА ИЗ ОБЛАСТИ ДИСПЛЕЯ. ЕСЛИ ЭТОТ БИТ=1, ТО НА ВЫХОД МУЛЬТИПЛЕКСОРА ПОСТУПАЕТ БИТ ТОНА, ЕСЛИ ИНФОРМАЦИОННЫЙ БИТ=0, ТО БИТ ФОНА.

СЕДЬМОЙ БИТ АТТРИБУТОВ, ОПРЕДЕЛЯЮЩИЙ УРОВЕНЬ ЯРКОСТИ ИЗОБРАЖЕНИЯ, ПОСТУПАЕТ НА ВЫХОД 12 МУЛЬТИПЛЕКСОРА D34 ПРИ ЛЮБОМ ЗНАЧЕНИИ ИНФОРМАЦИОННОГО СИГНАЛА, ЯРКОСТИ.

БИТЫ ИНФОРМАЦИОННОГО СИГНАЛА INFV С РЕГИСТРА D39, ПОСТУПАЮТ НА МУЛЬТИПЛЕКСОР ЧЕРЕЗ МОДУЛЯТОР D12.4. НА ВТОРОЙ ВХОД ЭТОЙ СХЕМЫ ЧЕРЕЗ D41.1 ПОДАЕТСЯ ИМПУЛЬСЫ МОДУЛЯЦИИ (МЕРЦАНИЯ). ЭТИ ИМПУЛЬСЫ ФОРМИРУЮТСЯ СЧЕТЧИКАМИ D11.1 И D11.2 ИЗ КАДРОВЫХ СИНХРОИМПУЛЬСОВ ПУТЕМ ДЕЛЕНИЯ ИХ ЧАСТОТЫ НА 128. ПРИ ПОСТУПЛЕНИИ ЧЕРЕЗ ДИОД НА ВХОД 1 МОДУЛЯТОРА НАПРЯЖЕНИЯ НИЗКОГО УРОВНЯ, КОТОРЫЙ ЗАДАЕТСЯ ВОСЬМЬМ БИТОМ БАЙТА АТТРИБУТОВ, ИНФОРМАЦИОННЫЙ СИГНАЛ ПРОХОДИТ НА МУЛЬТИПЛЕКСОР D34 БЕЗ МОДУЛЯЦИИ. ЕСЛИ ВОСЬМОЙ БАЙТ РАВЕН НУЛЮ, ТО ДИОДНЫЙ КЛЮЧ ОТКРЫВАЕТСЯ И СИГНАЛ FLASH ПОСТУПАЕТ НА МОДУЛЯТОР И УПРАВЛЯЕТ ПРОХОЖДЕНИЕМ БИТОВ ИНФОРМАЦИОННОГО СИГНАЛА, ВЫЗЫВАЯ ЕГО МЕРЦАНИЕ.

ПРИ ФОРМИРОВАНИИ БОРДЮРА ЭКРАНА НА ВХОДЫ УПРАВЛЕНИЯ МУЛЬТИПЛЕКСОРОВ D32, D31 ПОСТУПАЕТ СИГНАЛ -BORDER. ПРИ ЭТОМ НА ВХОД D34 ПОСТУПАЮТ БИТЫ, ОПРЕДЕЛЯЮЩИЕ ЦВЕТ БОРДЮРА ЭКРАНА.

С выходов мультиплексора D36 сигналы цветности смешиваются с сигналами яркости и поступают на TV.

ГЛАВА 6. ВЗАИМОДЕЙСТВИЕ С ПОРТАМИ ВВОДА ВЫВОДА

При обращении к внешним устройствам микропроцессор выставляет на шине адрес, младший байт которого соответствует номеру порта, закрепленного за этим устройством, и формирует сигналы -IORQ и -RD (-WR). Это позволяет достаточно легко организовать обращение к 255 внешним устройствам. В то же время, программно, используя все шестнадцать разрядов адресной шины, можно организовать обращение к 65236 устройствам. При выполнении машинных команд IN и OUT номер выбранного порта находится в регистре C. Но при обращении к устройству на адресную шину выставляется содержимое двойного регистра BC. Причем младший байт соответствует регистру C, а старший байт выставляется из регистра B. Перед выполнением команды ввода-вывода в регистр B можно занести любое восьмиразрядное число, расширив тем самым область допустимых адресов устройств ввода-вывода.

Для упрощения работы с внешними устройствами разработчиками ZX SPECTRUM каждому устройству присвоен легко декодируемый адрес. Это позволило для выбора устройства применять неполное (линейное) декодирование адреса.

Прошивкой ПЗУ компьютера предусмотрено, что при обращении к принтеру микропроцессор выставляет десятичный адрес 251, джойстик имеет адрес 31, динамик, магнитофон и установка цвета бордюра происходит через порт 254. Порты 239 и 247 используются для связи с дополнительными устройствами, например, дисководом или интерфейсом 1.

В таблице 3 адреса этих устройств выведены поразрядно.

	РАЗРЯДЫ АДРЕСА															ДЕС. АДР	ТАБЛИЦА 3	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1			0
ДЖОЙСТИК	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	31	
ПРИНТЕР	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	1	251	
УЛА																		
МАГНИТОФОН,																		
ДИНАМИК,	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	0	254	
БОРДЮР																		
КЛАВИАТУРА																		
КВА8	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	0	65272	
КВА9	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1	0	65022	
КВА10	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	0	64510	
КВА11	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	0	63486	
КВА12	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	0	61438	
КВА13	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	0	57342	
КВА14	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	0	49150	
КВА15	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	32766	

19

СТРЕМЯСЬ К ПРОСТОТЕ СХЕМЫ КОНСТРУКТОРЫ РАССМАТРИВАЕМОГО ВА-  
РИАНТА КОМПЬЮТЕРА АППАРАТНО ПРЕДУСМОТРЕЛИ ВЗАИМОДЕЙСТВИЕ ПРОЦ-  
ЕССОРА ТОЛЬКО С ДВУМЯ ВНЕШНИМИ УСТРОЙСТВАМИ ДЖОЙСТИКОМ И ULA.

ИЗ ТАБЛИЦЫ ВИДНО, ЧТО АДРЕСА ЭТИХ ДВУХ УСТРОЙСТВ ОТЛИЧАЮТСЯ  
ПРЕЖДЕ ВСЕГО СОСТОЯНИЕМ ПЕРВОГО РАЗРЯДА A0.

ПРИ ОБРАЩЕНИИ К ДЖОЙСТИКУ ЭТОТ РАЗРЯД РАВЕН ЕДИНИЦЕ, В ТОЖЕ  
ВРЕМЯ КАК ULA ЗАЯВЛЯЕТСЯ КОГДА НУЛЕВОЙ РАЗРЯД АДРЕСНОГО СЛОВА  
ПРИНИМАЕТ ЗНАЧЕНИЕ ЛОГИЧЕСКОГО НУЛЯ, Т.Е. ПРИ КАЖДОМ ЧЕТНОМ АД-  
РЕСЕ ПОРТА. ЭТО ЗНАЧИТ, ЧТО И КЛАВИАТУРА, И МАГНИТОФОН, И ГРОМ-  
КОГОВОРИТЕЛЬ, И БОРДЮР ИМЕЮТ ОДИН И ТОТ ЖЕ НОМЕР ПОРТА. ЧТОБЫ  
РАЗВЯЗАТЬ СИГНАЛЫ ОТ ЭТИХ УСТРОЙСТВ КАЖДОМУ ИЗ НИХ ВНУТРИ ФОРМИ-  
РУЕМОГО БАЙТА ВЫДЕЛЕНА ОПРЕДЕЛЕННЫЕ БИТЫ.

ПРИ ВВОДЕ ДАННЫХ С ПОРТА БИТЫ D0-D4 ФОРМИРУЮТСЯ КЛАВИАТУ-  
РОЙ, ПО РАЗРЯДУ D6 ПОСТУПАЮТ ДАННЫЕ ОТ МАГНИТОФОНА.

ПРИ ВЫВОДЕ ДАННЫХ БИТЫ D0-D2 СОДЕРЖАТ ДАННЫЕ О ЦВЕТЕ БОРДЮ-  
РА, ПО D3 ВЫВОДЯТСЯ ДАННЫЕ ДЛЯ ЗАПИСИ НА МАГНИТОФОН. БИТ D4 ЗА-  
ДЕЙСТВОВАН ДЛЯ ВЫВОДА СИГНАЛА НА ГРОМКОГОВОРИТЕЛЬ.

ТАКОЕ ОБЪЕДИНЕНИЕ ОПРЕДЕЛЯЕТ ХАРАКТЕРНЫЙ ДЛЯ ZX SPECTRUM  
СПОСОБ ИНДИЦИРОВАНИЯ: НА ЭКРАНЕ ТЕЛЕВИЗОРА ВЫПОЛНЕНИЯ ОПЕРАЦИЙ  
ЧТЕНИЯ И ЗАПИСИ ПРИ РАБОТЕ С МАГНИТОФОНОМ.

РАССМОТРИМ РАБОТУ МИКРОПРОЦЕССОРА С ОТДЕЛЬНЫМИ ВНЕШНИМИ УС-  
ТРОЙСТВАМИ.

### 6.1. РАБОТА КЛАВИАТУРЫ КОМПЬЮТЕРА

КАЖДЫЕ 20МСЕК КАДРОВЫЕ СИНХРОИМПУЛЬСЫ ЧЕРЕЗ УКОРЯЧИВАЮЩУЮ  
СХЕМУ 09.2 ПОСТУПАЮТ НА ВХОД -INT ПРОЦЕССОРА, ВЫЗЫВАЯ  
ЕГО ПРЕРЫВАНИЕ. ПО ЭТОМУ СИГНАЛУ МИКРОПРОЦЕССОР ЗАПУСКАЕТ ПОДП-  
РОГРАММУ СКАНИРОВАНИЯ КЛАВИАТУРЫ, НАХОДЯЩЕЙСЯ В ПЗУ ПО АДРЕСУ  
56, С ЦЕЛЬЮ ОБНАРУЖЕНИЯ НАЖАТОЙ КЛАВИШИ.

СЧИТЫВАНИЕ СОСТОЯНИЯ КЛАВИАТУРЫ ПРОИЗВОДИТСЯ ЧЕРЕЗ ПОРТ ULA  
С НОМЕРОМ 254, КОТОРЫЙ ЗАПИСЫВАЕТСЯ В РЕГИСТР С (МЛАДШИЙ БАЙТ  
АДРЕСА). В СТАРШЕМ БАЙТЕ АДРЕСА В ПРОЦЕССЕ ОПРОСА КОНТАКТОВ КЛА-  
ВИАТУРЫ ПОДПРОГРАММА ПОСЛЕДОВАТЕЛЬНО ФОРМИРУЕТ НИЗКИЙ УРОВЕНЬ НА  
КАЖДОЙ ИЗ ВОСЬМИ АДРЕСНЫХ ЛИНИЙ KBA8-15. НА ДРУГИХ СЕМИ ЛИНИЯХ  
УРОВНИ ОСТАЮТСЯ ВЫСОКИМИ.

ЕСЛИ КЛАВИШИ НЕ НАЖАТЫ, ТО +5V ЧЕРЕЗ РЕЗИСТОРЫ ПОДАЮТСЯ ЧЕ-  
РЕЗ МУЛЬТИПЛЕКСОРЫ D40, D42 НА ШИНУ ДАННЫХ ПРОЦЕССОРА.

ПРИ НАЖАТИИ КЛАВИШИ ЧЕРЕЗ ЕЕ КОНТАКТЫ НИЗКИЕ УРОВНИ С СООТ-  
ВЕТСТВУЮЩИХ АДРЕСНЫХ ШИН KBA8-KBA15 УЖЕ В КАЧЕСТВЕ ДАННЫХ КЛА-  
ВИАТУРЫ KB00-KB04 ПОСТУПАЮТ НА ВХОДЫ МУЛЬТИПЛЕКСОРОВ D40, D42.

ВЫДАЧА ЭТОГО СИГНАЛА НА ШИНУ ДАННЫХ МИКРОПРОЦЕССОРА ОСУЩЕС-  
ТВЛЯЕТСЯ С ПРИХОДОМ НА КОММУТИРУЮЩИЕ ВХОДЫ С РАЗРЕШАЮЩЕГО ИМ-  
ПУЛЬСА A0=0 И ПРИ НАЛИЧИИ НА ВХОДЕ E СИГНАЛА ВЫСОКОГО УРОВНЯ  
-JORD.

ПЕРВЫЙ РАЗРЯД АДРЕСА РАВЕН НУЛЮ ПРИ ОБРАЩЕНИИ К ULA (В ТОМ ЧИСЛЕ И К КЛАВИАТУРЕ). ИМПУЛЬСЫ ЧТ БУФ ВЫРАБАТЫВАЮТСЯ СХЕМОЙ D1.5.4 ПРИ УСЛОВИИ, ЧТО МИКРОПРОЦЕССОР ВМЕСТЕ С СИГНАЛОМ -IORQ ВЫСТАВИЛ СИГНАЛ РАЗРЕШЕНИЯ ЧТЕНИЯ -RD.

ПРИ ОДНОВРЕМЕННОМ НАЖАТИИ ДВУХ ИЛИ НЕСКОЛЬКИХ ДРУГИХ (НЕ В SHIFT) КЛАВИШ В МИКРОПРОЦЕССОР ЗАГРУЗИТСЯ КОД ПЕРВОЙ ВСТРЕЧЕННОЙ ПРИ СКАНИРОВАНИИ КЛАВИШИ И ЛИШЬ ПРИ ЕЕ ОТПУСКАНИИ ВВЕДЕТСЯ КОД СЛЕДУЮЩЕЙ.

ДИОДЫ КЛАВИАТУРЫ ЗАЩИЩАЮТ АДРЕСНУЮ ШИНУ ОТ СБОЕВ ПРИ ОДНОВРЕМЕННОМ НАЖАТИИ НЕСКОЛЬКИХ КЛАВИШ.

ДЕКОДИРОВАНИЕ ЗНАЧЕНИЙ КЛАВИШ В КОДАХ ASCII ПРОИСХОДИТ ПРОГРАММНО. ПРИЧЕМ ЭТОТ КОД ЗАВИСИТ ОТ СОСТОЯНИЯ (НАЖАТЫ, НЕ НАЖАТЫ) КЛАВИШ CAPS SHIFT И SYMBOL SHIFT. ПРОГРАММНО ЖЕ УСТРАНЯЕТСЯ ДРЕБЕЗГ КОНТАКТОВ. МИКРОПРОЦЕССОР РАССМАТРИВАЕТ КОД КЛАВИШИ ВВЕДЕННЫМ, ЕСЛИ ОН ПРИСУТСТВУЕТ НА ШИНЕ ДАННЫХ В ТЕЧЕНИИ ПЯТИ ОБРАЩЕНИЙ К КЛАВИАТУРЕ (ПРЕРЫВАНИЙ). ПОДПРОГРАММА СКАНИРОВАНИЯ КЛАВИАТУРЫ ТАКЖЕ ПРОВОДИТ АНАЛИЗ ВРЕМЕНИ НАЖАТИЯ КЛАВИШИ ДЛЯ ВКЛЮЧЕНИЯ АВТОПОВТОРА ПРИ ИХ ДЛИТЕЛЬНОМ УДЕРЖАНИИ.

СИГНАЛ ПРЕРЫВАНИЯ -INT МОЖЕТ БЫТЬ СНЯТ (МАСКИРОВАН) МИКРОПРОЦЕССОРОМ ЛОГИЧЕСКИ ПРИ ВЫПОЛНЕНИИ ОПРЕДЕЛЕННЫХ КОМАНД. НАПРИМЕР, ПРИ СЧИТЫВАНИИ ИНФОРМАЦИИ С МАГНИТНОЙ ЛЕНТЫ СИГНАЛ -INT, А ЗНАЧИТ И КЛАВИАТУРА, БЛОКИРУЮТСЯ.

6.2. РАБОТА КОМПЬЮТЕРА С МАГНИТОФОНОМ

В ZX SPECTRUM ПРИ ЗАПИСИ НА МАГНИТОФОН ПОСЛЕДОВАТЕЛЬНОСТЬ БИТОВ ИНФОРМАЦИИ ПРЕДСТАВЛЯЕТСЯ КАК ВРЕМЯ МЕЖДУ ОЧЕРЕДНЫМИ СМЕНАМИ НАПРЯЖЕНИЯ. ПРИЧЕМ КАЖДЫЙ ЗАПИСАННЫЙ БЛОК СОСТОИТ ИЗ КОМБИНАЦИИ ЧЕТЫРЕХ РАЗНЫХ ВИДОВ ИМПУЛЬСОВ (РИС.2). ВНАЧАЛЕ ГЕНЕРИРУЕТСЯ ПИЛОТИРУЮЩИЙ СИГНАЛ. СМЕНА НАПРЯЖЕНИЙ НАСТУПАЕТ РЕГУЛЯРНО ЧЕРЕЗ 619,4 МКСЕК. ЭТО СООТВЕТСТВУЕТ 2168 ТАКТАМ СИНХРОНИЗАЦИИ (ТС) МИКРОПРОЦЕССОРА Z80. ГЕНЕРИРУЕМЫЙ СИГНАЛ ИМЕЕТ ЧАСТОТУ 807 ГЦ. КОНЕЦ ПИЛОТИРУЮЩЕГО СИГНАЛА СИГНАЛИЗИРУЕТСЯ ТРЕМЯ ФРОНТАМИ, ОБРАЗУЮЩИМИ ТАК НАЗЫВАЕМЫХ ИМПУЛЬС СИНХРОНИЗАЦИИ. ИНТЕРВАЛЫ МЕЖДУ НИМИ СОСТАВЛЯЮТ СООТВЕТСТВЕННО 667 И 735 ТС. ДАЛЕЕ БЕЗ ПЕРЕРЫВА ПЕРЕСЫЛАЮТСЯ ОТДЕЛЬНЫЕ БИТЫ ДАННЫХ.

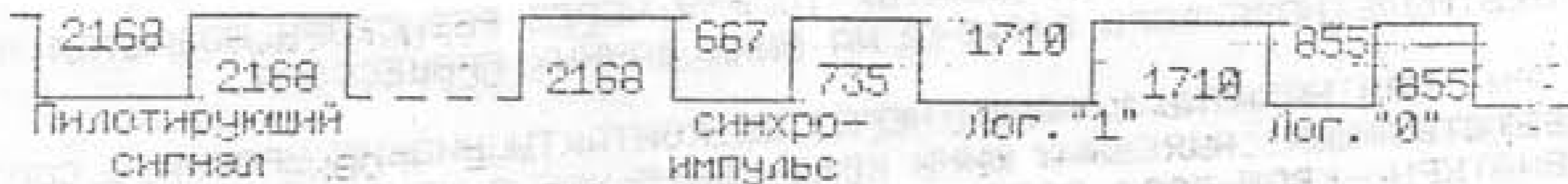


Рис.2

ЛОГИЧЕСКАЯ ЕДИНИЦА ПРЕДСТАВЛЯЕТСЯ ДВУМЯ ФРОНТАМИ, ПОЯВЛЯЮЩИМИСЯ С ИНТЕРВАЛОМ 1710 ТС (488,6 МКСЕК), В ТО ВРЕМЯ У ЛОГИЧЕСКОГО НУЛЯ ЭТИ ИНТЕРВАЛЫ РАВНЫ 855 ТС (244,3 МКСЕК). МЕЖДУ БАЙТАМИ ИНТЕРВАЛОВ НЕТ. ДЛЯ КОНТРОЛЯ ПРАВИЛЬНОСТИ БЛОКА ДАННЫХ, ЗАПИСЫВАЯ КАЖДЫЙ ФАЙЛ НА ЛЕНТУ ZX SPECTRUM ДОБАВЛЯЕТ К НЕМУ ДВА БАЙТА: ОДИН В НАЧАЛЕ И ОДИН В КОНЦЕ. ПЕРВЫЙ ИЗ НИХ СИГНАЛИЗИРУЕТ О ТОМ, ЯВЛЯЕТСЯ ЛИ ДАННЫЙ БЛОК ЗАГЛАВНЫМ (0) ИЛИ СОБСТВЕННО БЛОКОМ ДАННЫХ (FF). ПОСЛЕДНИЙ, ТАК НАЗЫВАЕМЫЙ БАЙТ ЧЕТНОСТИ, СВЯЗАН НЕПОСРЕДСТВЕННО С КОНТРОЛЕМ ПРАВИЛЬНОСТИ СЧИТЫВАНИЯ. ЭТОТ БАЙТ СОДЕР-



ЖИТ ИНФОРМАЦИЮ О ЧЕТНОСТИ ПОЯВЛЕНИЯ ЕДИНИЦЫ В ДАННОМ РАЗРЯДЕ ВО ВСЕХ ВЫСЛАННЫХ СЛОВАХ. ПРИ СЧИТЫВАНИИ ДАННЫХ КОМПЬЮТЕР ПРОВЕРЯЕТ РАВЕНСТВО (ПАРИТЕТ) КОЛИЧЕСТВА ЕДИНИЦ, ПОЛУЧЕННЫХ В РАЗРЯДАХ ПРИ СЧИТЫВАНИИ, И ЗАПИСАННЫХ В БАЙТЕ ЧЕТНОСТИ.

ФОРМИРОВАНИЕ СИГНАЛОВ, ВЫВОДИМЫХ НА МАГНИТОФОН, ОСУЩЕСТВЛЯЕТСЯ ПРОГРАММНО. ПРИ ЗАПИСИ МИКРОПРОЦЕССОР ВЫДАЕТ ПО ЧЕТВЕРТОМУ РАЗРЯДУ (D3) ШИНЫ ДАННЫХ БИТ, ПОДЛЕЖАЩИЙ ЗАПИСИ НА МАГНИТОФОН. ПРИ ЭТОМ ОН ВЫСТАВЛЯЕТ АДРЕС FE (A0=0), ПОДАЕТ СИГНАЛЫ ОБРАЩЕНИЯ С ПОРТУ -IORQ И РАЗРЕШЕНИЕ ЗАПИСИ -WR. ПРИ НАЛИЧИИ ВСЕХ ЭТИХ СИГНАЛОВ СХЕМА D19.2 ФОРМИРУЮТ ИМПУЛЬС STB ВЫХ КОТОРЫЙ ПОСТУПАЕТ НА ТАКТОВЫЙ ВХОД ТРИГГЕРА D36. С ЕГО ПОСТУПЛЕНИЕМ СИГНАЛ С ИНФОРМАЦИОННОГО ВХОДА D4 ТРИГГЕРА ПЕРЕДАЕТСЯ НА ВЫХОД 10. С ЭТОГО ВЫХОДА СИГНАЛ ЧЕРЕЗ ДЕЛИТЕЛЬ ПОСТУПАЕТ НА ВХОД МАГНИТОФОНА.

ПРИ СЧИТЫВАНИИ ПРОГРАММ С ЛЕНТЫ СИГНАЛЫ МАГНИТОФОНА ПОСТУПАЮТ НА ВХОД 10 МУЛЬТИПЛЕКСОРА D42 ЧЕРЕЗ УСИЛИТЕЛЬ D43.

ПРИ ВЫПОЛНЕНИИ ОПЕРАЦИИ СЧИТЫВАНИЯ С МАГНИТОФОНА ПРОЦЕССОР АКТИВИЗИРУЕТ ЛИНИИ -IORQ, -RD И ВЫСТАВЛЯЕТ АДРЕС ПОРТА 254 (A0=0). СХЕМА D15.4 ФОРМИРУЕТ СИГНАЛ ЧТ БУФ, КОТОРЫЙ СОВМЕСТНО С A0=0 ОБЕСПЕЧИВАЕТ ПОДКЛЮЧЕНИЕ СИГНАЛОВ МАГНИТОФОНА В КАЧЕСТВЕ ШЕСТОГО БИТА (D5) СЧИТЫВАЕМОГО БАЙТА К ШИНЕ ДАННЫХ ПРОЦЕССОРА, КОТОРЫЙ ОСУЩЕСТВЛЯЕТ ИХ ДАЛЬНЕЙШУЮ ОБРАБОТКУ.

### 6.3. ВЫВОД СИГНАЛОВ ЗВУКОВОГО СОПРОВОЖДЕНИЯ И БОРДЮРА.

ПРИ ВЫВОДЕ ИНФОРМАЦИИ НА ULA ПРОЦЕССОР ВЫСТАВЛЯЕТ АДРЕС 254 (A0=0), АКТИВИЗИРУЕТ ЛИНИИ -IORQ И -WR НА ШИНУ ДАННЫХ БУДЕТ БАЙТ ИНФОРМАЦИИ, СОДЕРЖАЩИЙ ДАННЫЕ, КОТОРЫЕ НЕОБХОДИМО ЗАПИСАТЬ В ULA. ТРИГГЕР D36 ПРИ ПОСТУПЛЕНИИ НА ЕГО ТАКТОВЫЙ ВХОД СИГНАЛА STB ВЫХ ПЕРЕДАЕТ БИТЫ D0-D4 НА СВОИ ВЫХОДЫ Q0-Q4.

БИТЫ D0-D2 В КАЧЕСТВЕ СИГНАЛОВ, ОПРЕДЕЛЯЮЩИХ ЦВЕТ БОРДЮРА ПОСТУПАЮТ НА МУЛЬТИПЛЕКСОР D31, ГДЕ УЧАСТВУЮТ В ФОРМИРОВАНИИ ЦВЕТА РАМКИ ЭКРАНА.

КАК УЖЕ ГОВОРИЛОСЬ, ЧЕТВЕРТЫЙ БИТ ПРЕДСТАВЛЯЕТ СОБОЙ ИНФОРМАЦИЮ, ВЫВОДИМУЮ НА МАГНИТОФОН.

ЧЕРЕЗ ПЯТЫЙ БИТ (D4) ВЫВОДЯТСЯ НА ГРОМКОГОВОРИТЕЛЬ СИГНАЛЫ ЗВУКОВОГО СОПРОВОЖДЕНИЯ ПРОГРАММ AUDIO.

### 6.4. РАБОТА КОМПЬЮТЕРА С ДЖОЙСТИКОМ.

СХЕМА КОМПЬЮТЕРА ПОЗВОЛЯЕТ ПОДКЛЮЧАТЬ К НЕМУ ДЖОЙСТИК, ИМЕЮЩИЙ НОРМАЛЬНО РА ЗАМКНУТЫЕ КОНТАКТЫ. ДЖОЙСТИК ПОДКЛЮЧАЕТСЯ К ВХОДАМ МУЛЬТИПЛЕКСОРОВ D41, D42. ЧЕРЕЗ БУФЕР D47.

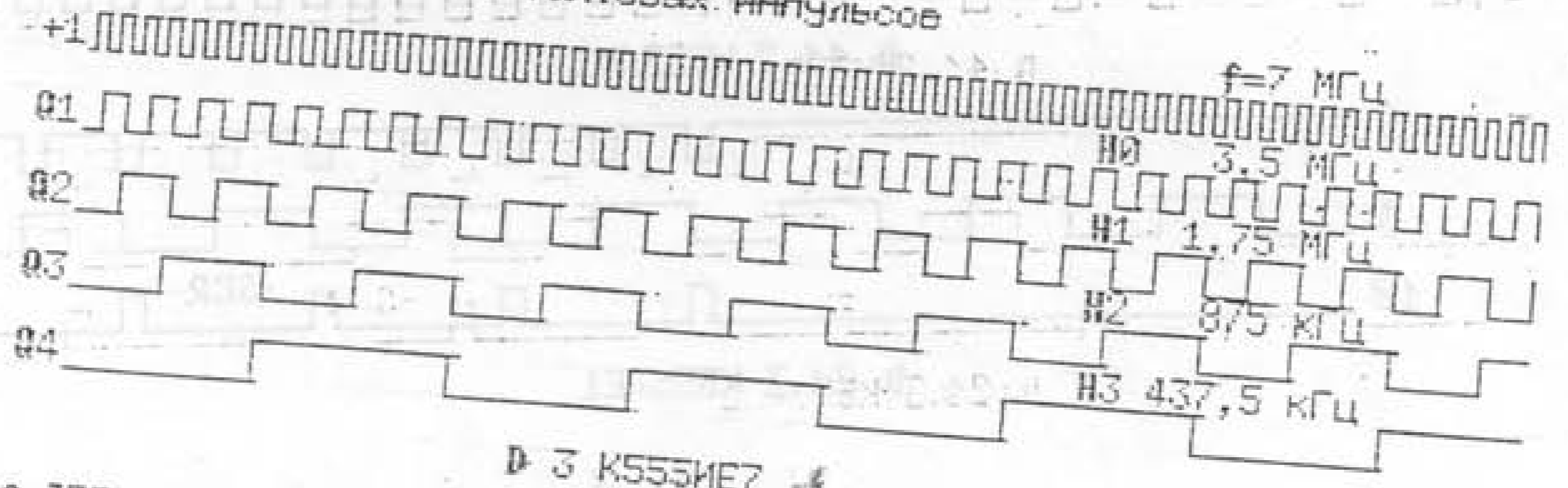
ПОДКЛЮЧЕНИЯ МУЛЬТИПЛЕКСОРОВ ШИНЕ ДАННЫХ И ПЕРЕДАЧА НА НЕЕ ДАННЫХ DV0-DV4 ОСУЩЕСТВЛЯЕТСЯ ПРИ ПОДАЧЕ НА ИХ ВХОДЫ УПРАВЛЕНИЯ А0=1 (ОБРАЩЕНИЕ К ДЖОЙСТИКУ) И НА Е-ВХОДЫ СИГНАЛА ЧТ БУФ ПЕРЕВОДЯЩЕГО МУЛЬТИПЛЕКСОРЫ ИЗ 7-СОСТОЯНИЯ В ОБЫЧНОЕ. СИГНАЛ ЧТ БУФ ВЫРАБАТЫВАЕТСЯ СХЕМОЙ Д15.4 ПРИ ОДНОВРЕМЕННОМ ПОСТУПЛЕНИИ НА НЕЮ СИГНАЛОВ -IORQ, -RD.

В ПЕРЕДАВАЕМОМ БАЙТЕ БИТЫ D0-D4 ИМЕЮТ НАПРЯЖЕНИЯ ВЫСОКОГО УРОВНЯ ПРИ ОТКЛОНЕНИИ РУЧКИ ДЖОЙСТИКА ВПРАВО (D0), ВЛЕВО (D1), ВНИЗ (D2), ВВЕРХ (D3) И НАЖАТИИ КНОПКИ "ОГОНЬ" (D4). ЧИСЛО, ВЫДАВАЕМОЕ С ПОРТА 31, СКЛАДЫВАЕТСЯ ИЗ СУММЫ ОТДЕЛЬНЫХ БИТОВ D0-D4, ЧТО ПОЗВОЛЯЕТ ПОЛУЧАТЬ ОТ ДЖОЙСТИКА 17 РАЗЛИЧНЫХ ЗНАЧЕНИЙ, КАЖДОЕ ИЗ КОТОРЫХ МОЖЕТ ИНТЕРПРЕТИРОВАТЬСЯ В ПРОГРАММАХ КАК ОТДЕЛЬНАЯ КОМАНДА.

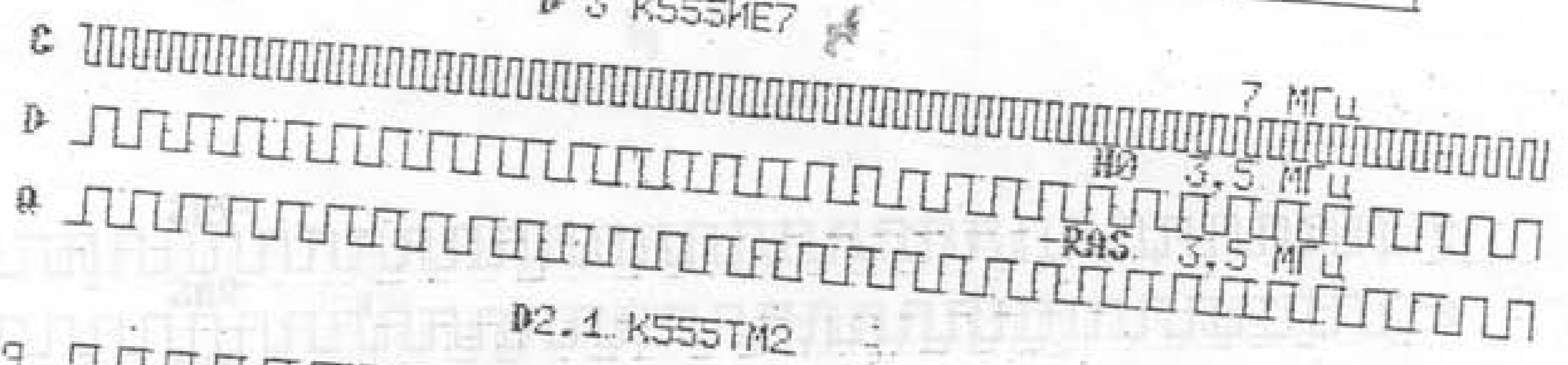
Экран сигналов компьютера

Приложение 1

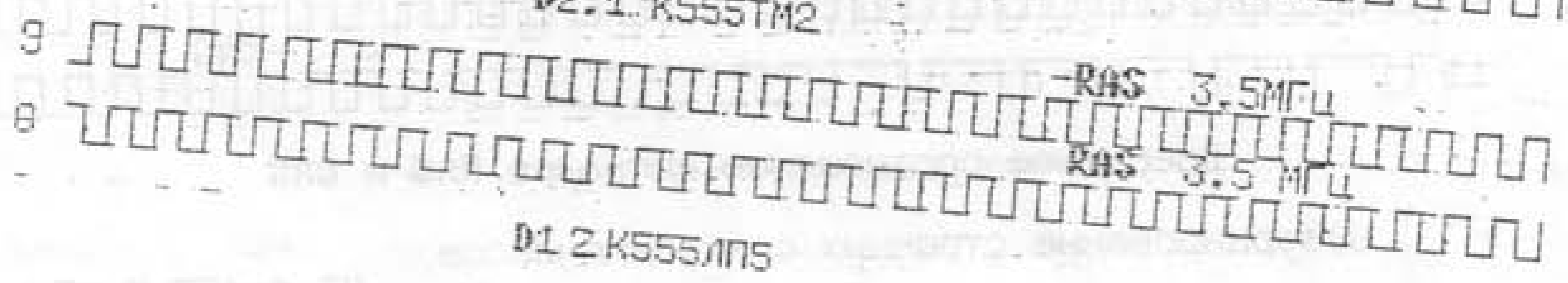
а) формирование тактовых импульсов



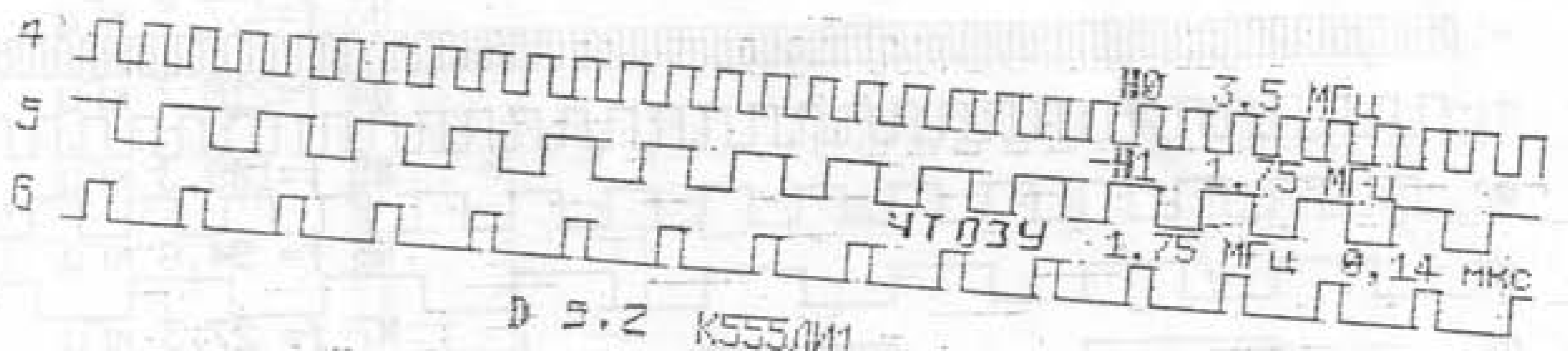
D 3 K555IE7



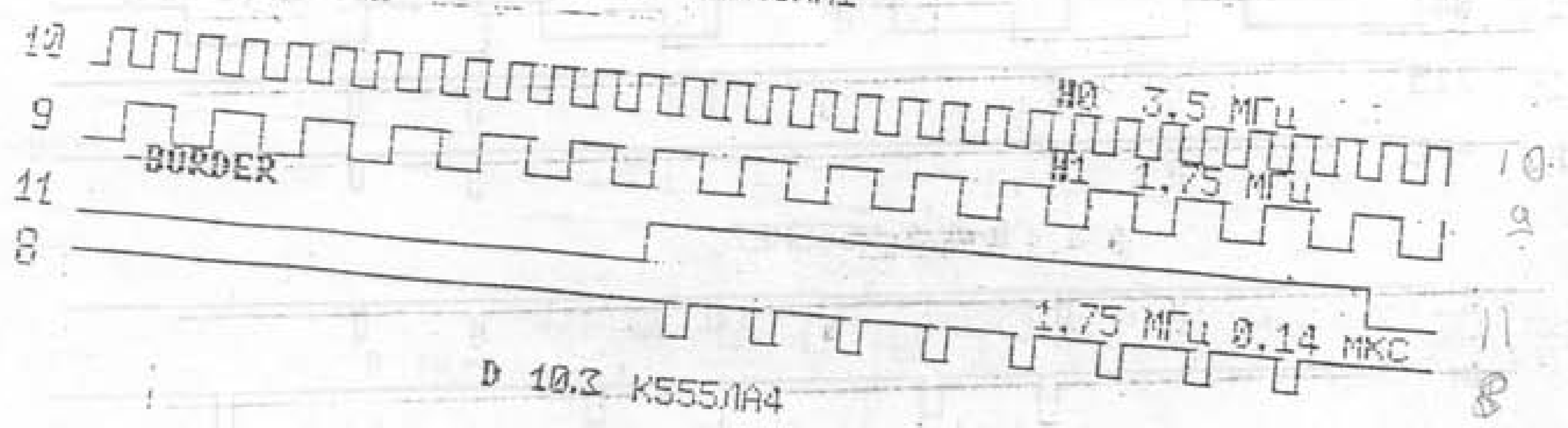
D2.1 K555TM2



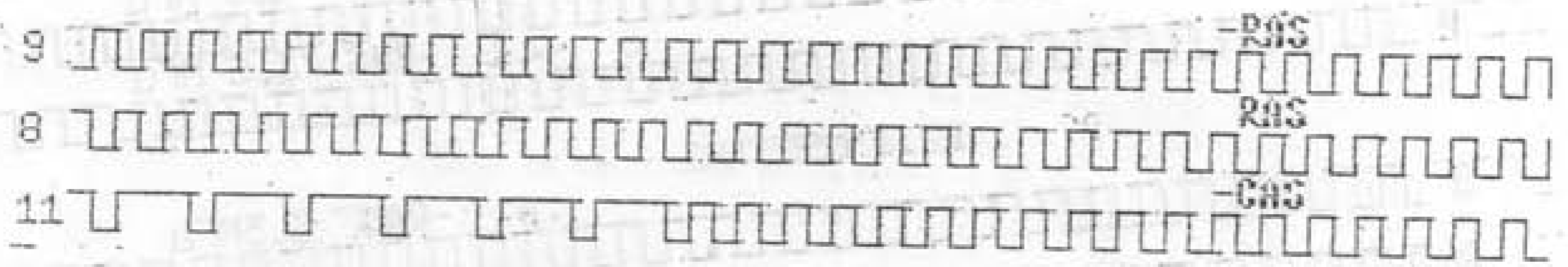
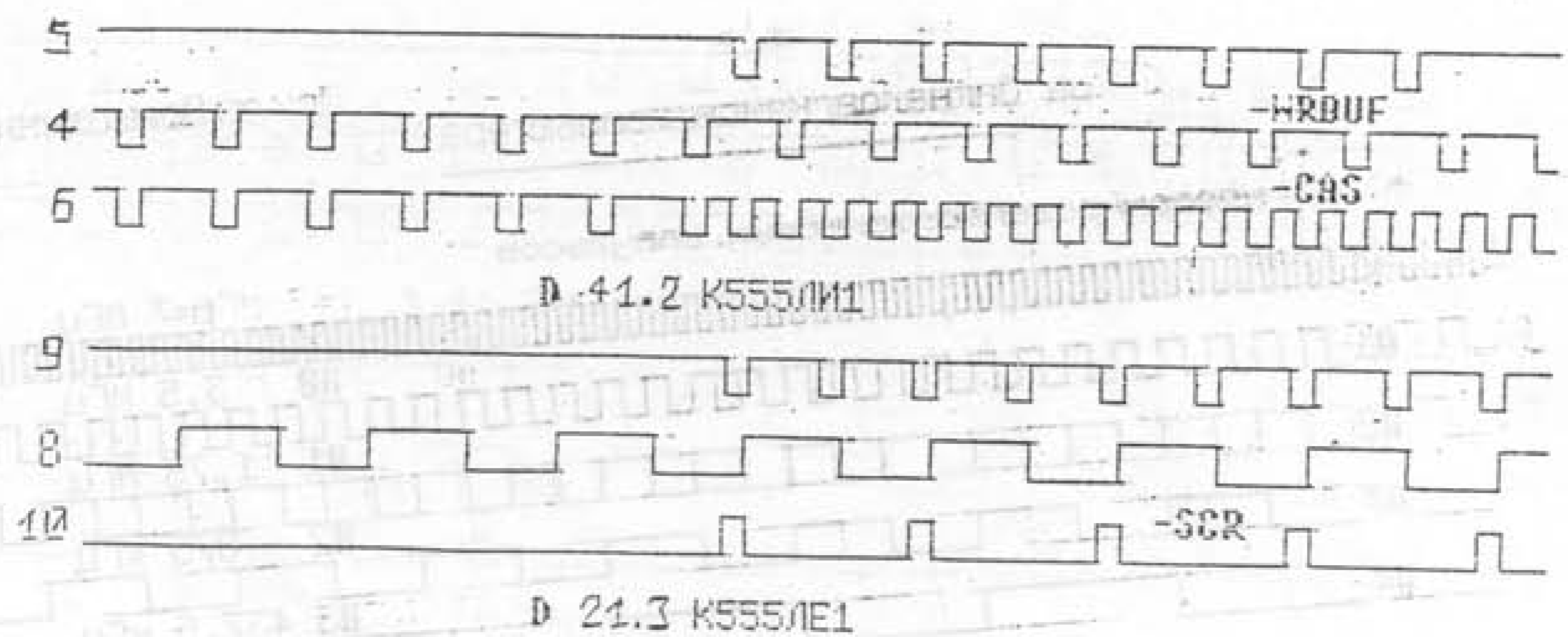
D1.2 K555AM5



D 5.2 K555AM1

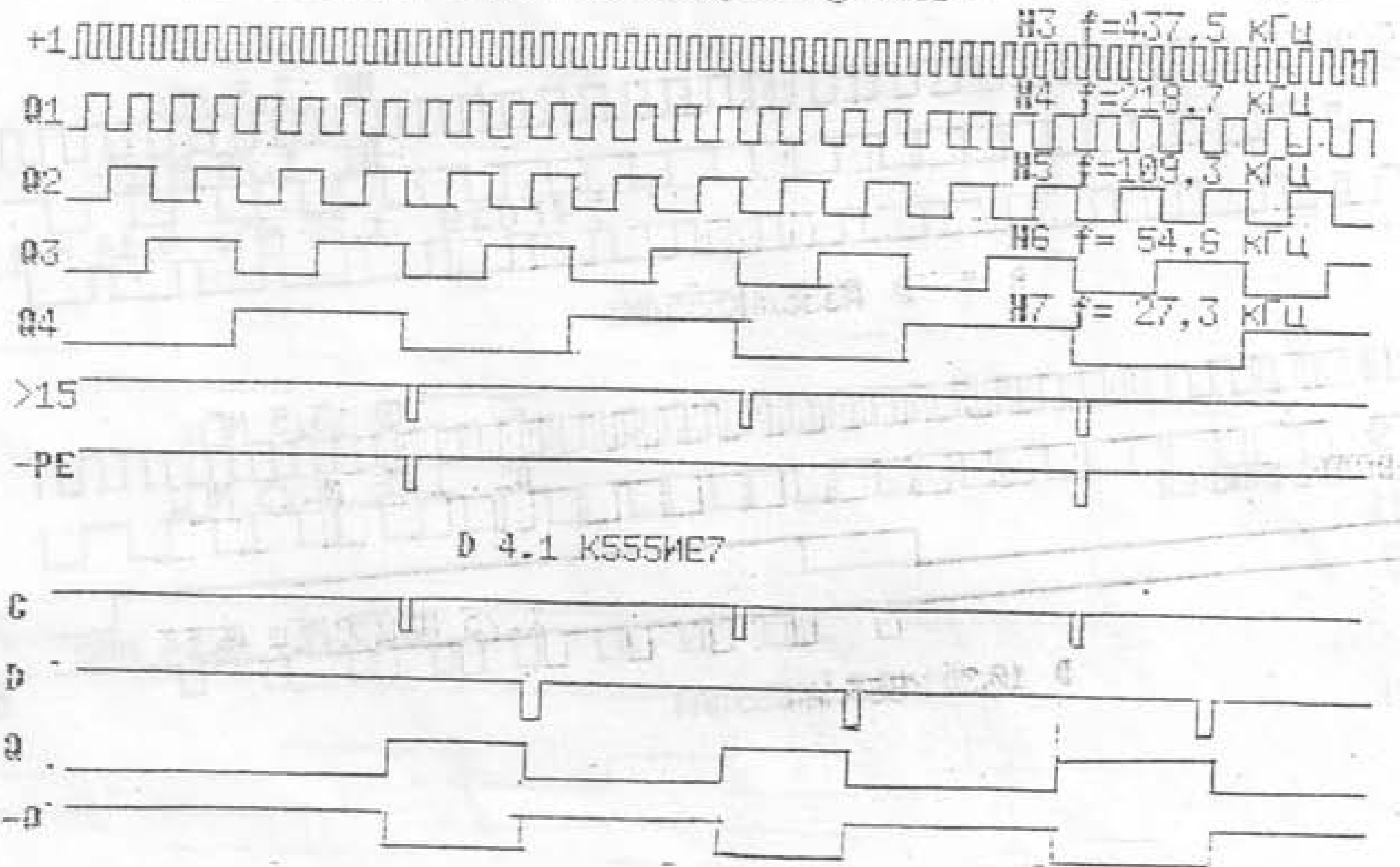


D 10.3 K555AM4



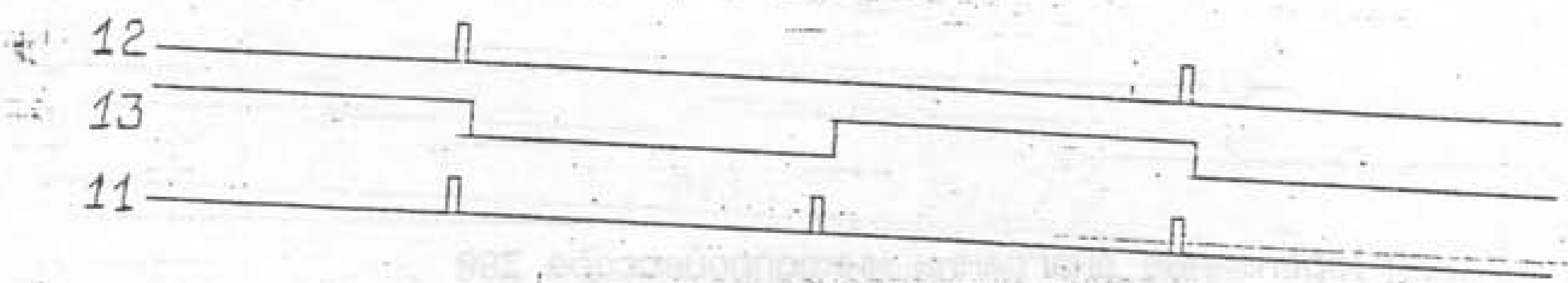
Временное соотношение сигналов RAS и CAS

б) формирование строчных синхронизмпульсов



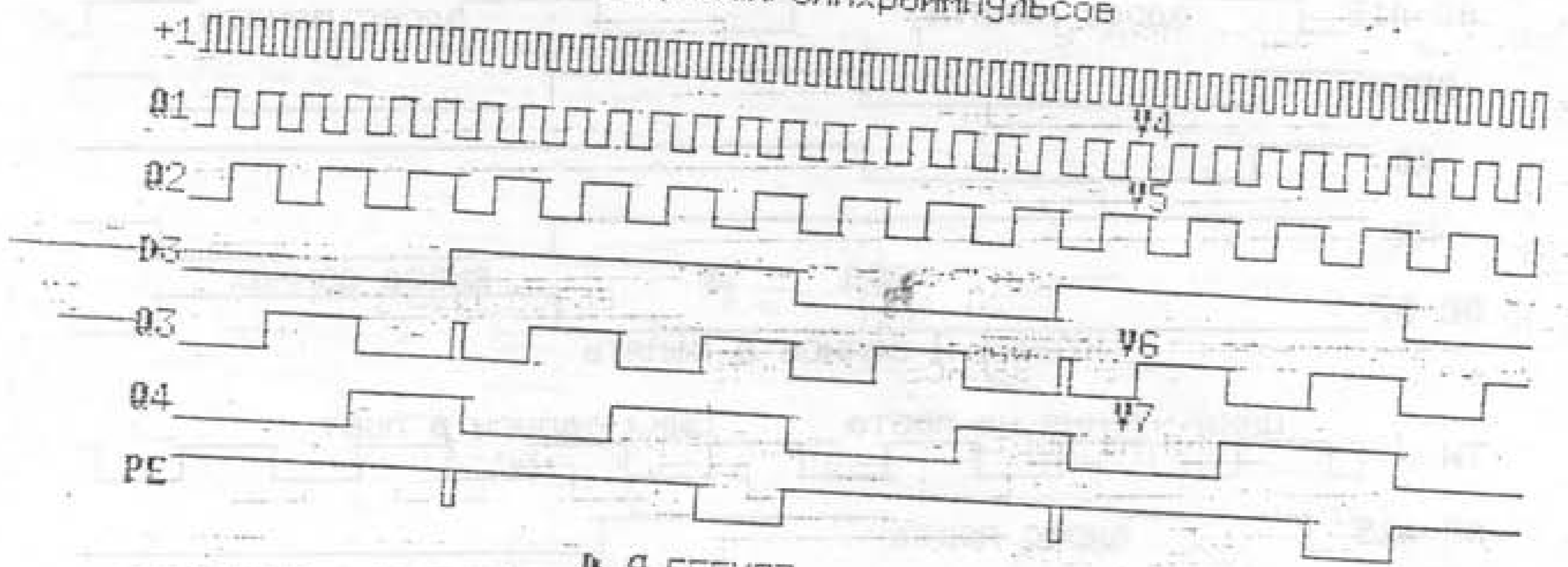
D 5.1 K555TM2



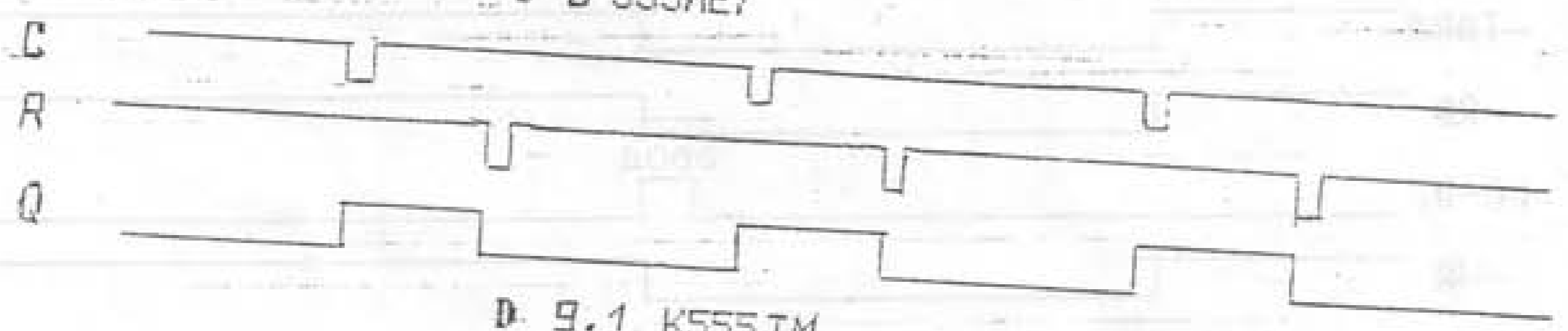


Д 5.4 K555LI1

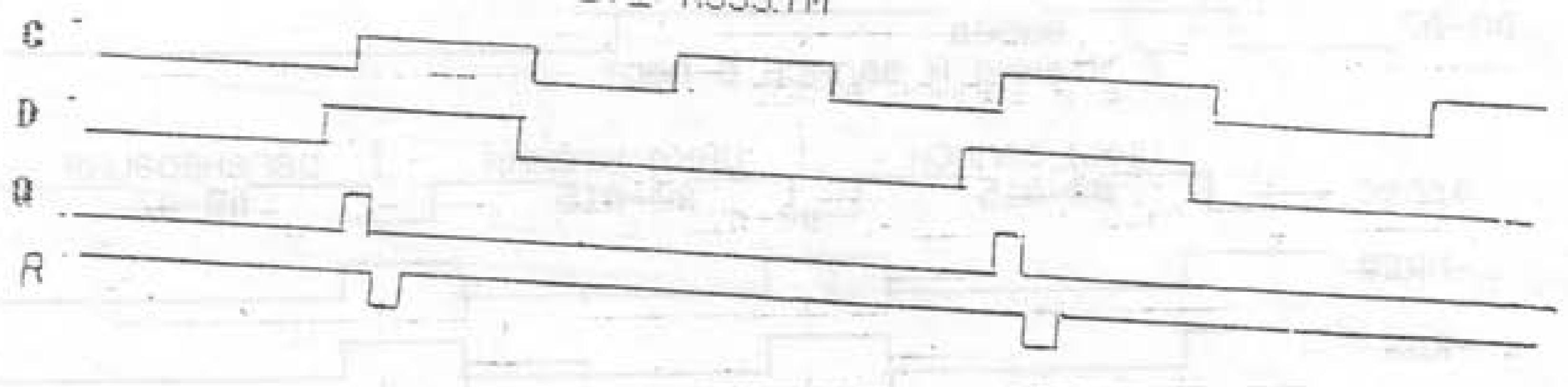
в) формирование кадровых синхронимпульсов



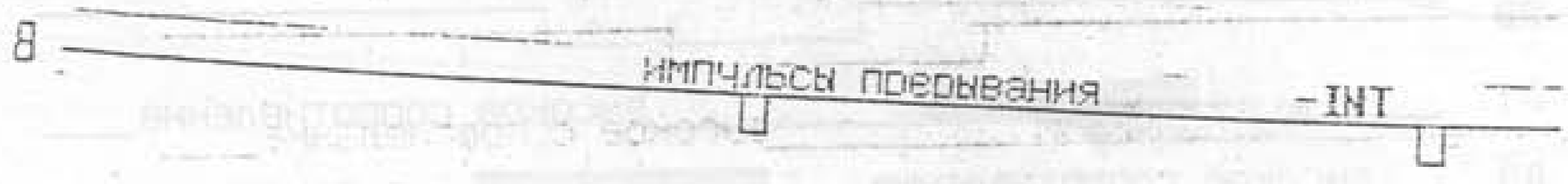
Д 8 555ME7



Д 9.1 K555TM



Д 6.2 K555TM2



Д 9.2 K555 TM2

временные диаграммы микропроцессора Z80

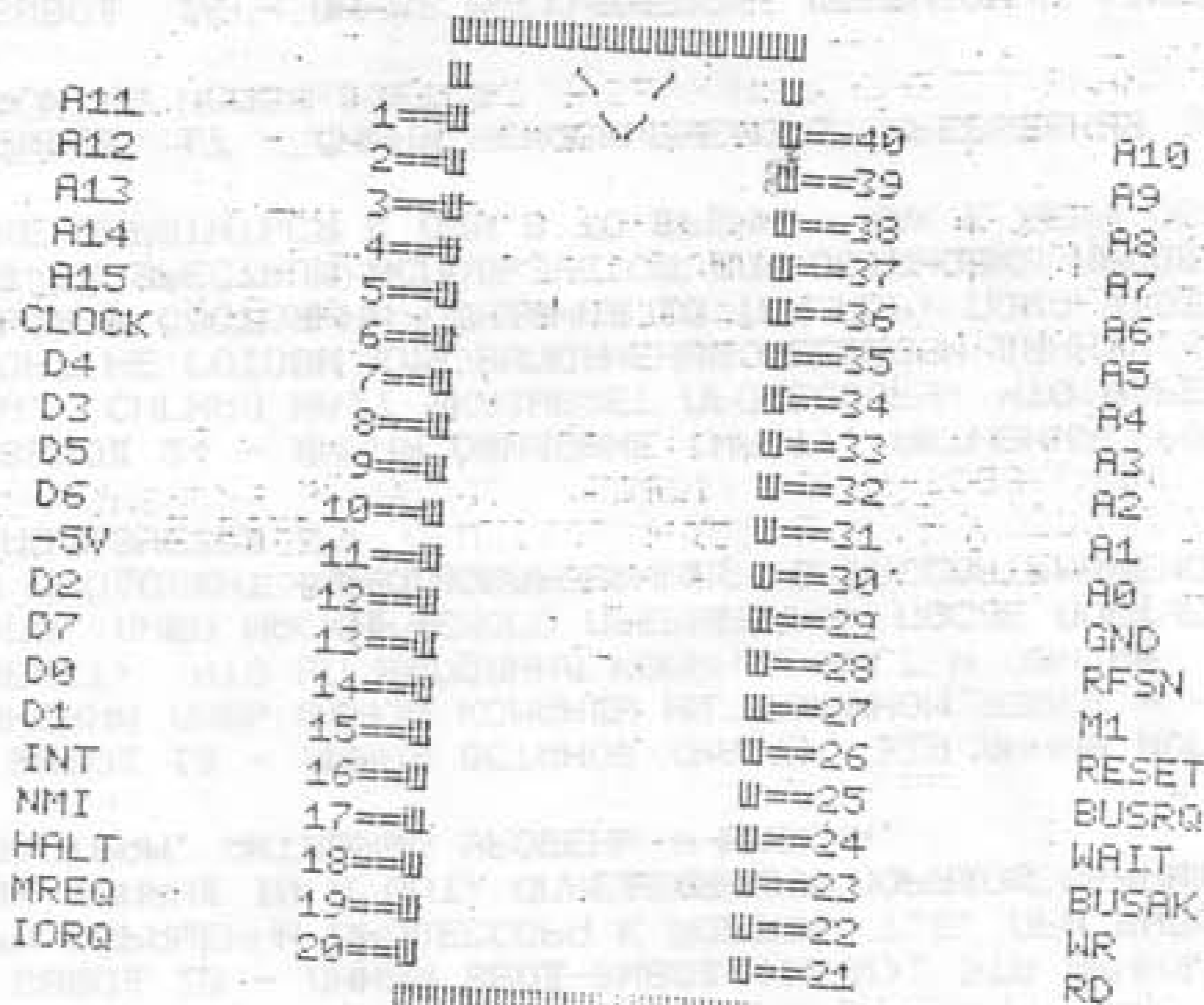


временные диаграммы формирования сигналов -RAS, -CAS при обращении ЦП к ОЗУ динамического типа

МИКРОПРОЦЕССОР Z80

ОТДЕЛЬНЫЕ МОДИФИКАЦИИ ЭТОГО МИКРОПРОЦЕССОРА В ОСНОВНОМ ОТЛИЧАЮТСЯ РАБОЧЕЙ ТАКТОВОЙ ЧАСТОТОЙ. В КОМПЬЮТЕРЕ ZX SPECTRUM МИКРОПРОЦЕССОР Z80, РАБОТАЕТ С ТАКТОВОЙ ЧАСТОТОЙ 3,5 МГц, ЧТО ОБЕСПЕЧИВАЕТ БЫСТРОДЕЙСТВИЕ 875 ТЫСЯЧ КОРОТКИХ ОПЕРАЦИЙ В СЕКУНДУ. ДЛЯ РАБОТЫ В ZX SPECTRUM ИСПОЛЬЗУЕТСЯ МИКРОПРОЦЕССОР Z80A ИЛИ Z80B, ПРЕДЕЛЬНАЯ ТАКТОВАЯ ЧАСТОТА КОТОРЫХ СОСТАВЛЯЕТ СООТВЕТСТВЕННО 4 И 6 МГц.

МИКРОПРОЦЕССОР Z80A ПРЕДСТАВЛЯЕТ СОБОЙ БОЛЬШУЮ ИНТЕГРАЛЬНУЮ МИКРОСХЕМУ С 40 ВЫВОДАМИ.



ВЫВОДЫ 11 И 29 - ЛИНИИ ПИТАНИЯ МИКРОПРОЦЕССОРА. НА ЭТИ ВЫВОДЫ ПОДАЮТСЯ СООТВЕТСТВЕННО +5V И ЗЕМЛЯ.

ВЫВОД 6 - ВХОД ТАКТОВЫХ ИМПУЛЬСОВ.

ВЫВОДЫ 7-10 И 12-15 - ВОСЕМЬ ЛИНИЙ, ОБРАЗУЮЩИХ ДВУСТОРОННЮЮ ВОСЬМИРАЗЯДНУЮ ШИНУ ДАННЫХ, ПЕРЕДАЮЩУЮ БАЙТЫ ИНФОРМАЦИИ В МИКРОПРОЦЕССОР И ИЗ МИКРОПРОЦЕССОРА. ИМЕЕТ ТРИ УСТОЙЧИВЫХ СОСТОЯНИЯ АКТИВНЫЙ УРОВЕНЬ СИГНАЛОВ-ВЫСОКИЙ.

ВЫВОДЫ 1-5 И 30-40 - ШЕСТНАДЦАТЬ ЛИНИЙ, ОБРАЗУЮЩИХ ШИНУ АДРЕСА. ИМЕЕТ ТРИ УСТОЙЧИВЫХ СОСТОЯНИЯ. АКТИВНЫЙ УРОВЕНЬ СИГНАЛОВ-ВЫСОКИЙ

ОСТАЛЬНЫЕ ТРИНАДЦАТЬ ВЫВОДОВ ПРЕДНАЗНАЧЕНЫ ДЛЯ ЛИНИЙ, ПО КОТОРЫМ ПЕРЕДАЮТСЯ УПРАВЛЯЮЩИЕ СИГНАЛЫ.

Вывод 21 - линия чтение (RD). Эта линия используется при каждом считывании байта данных из памяти или порта в микропроцессор. Имеет три устойчивых состояния. Активный уровень сигнала - низкий.

Вывод 22 - линия запись (WR). Эта линия используется при каждой пересылке байта данных из микропроцессора в память или в порт. Имеет три устойчивых состояния. Активный уровень сигнала - низкий.

Вывод 19 - линия запрос на работу с памятью (MREQ). Эта линия используется при каждой пересылке байта данных в микропроцессор из ячеек памяти и из микропроцессора в память. Имеет три устойчивых состояния. Активный уровень сигнала - низкий.

Вывод 23 - линия регенерации (RFSH). Сигнал RFSH, сообщает, что данный адрес является адресом регенерации ячеек динамической памяти.

Вывод 27 - линия машинный цикл (M1). Сигнал M1 указывает, что в текущем машинном цикле происходит выборка из памяти команды на машинном языке или связанного с командой байта данных. Активный уровень - низкий.

Вывод 20 - линия ввод-вывод (IORQ). Эта линия активизируется при обращении процессора к портам, т.е. при выполнении специальных команд IN и OUT, определяющих порядок обращения к внешним устройствам. Активный уровень - низкий.

Вывод 18 - линия останов (HALT). Эта линия используется при выполнении лишь одной команды на машинном языке - HALT. Сигнал указывает, что ЦП выполнит команду HALT и ожидает либо немаскируемого, либо маскируемого прерывания, после поступления которого он продолжит функционирование. В рассматриваемом компьютере не используется.

Вывод 24 - линия ожидание (WAIT). Активный уровень сигнала - низкий. Сигнал WAIT указывает процессору, что адресуемая память или порт не готовы для выполнения передачи данных. ЦП будет находиться в состоянии ожидания до тех пор, пока этот сигнал активен. В ZX SPECTRUM используется для остановки процессора при его попытке обратиться к ОЗУ в то время, как к нему обращается ULA.

Вывод 17 - линия немаскируемого прерывания (NMI). В ZX SPECTRUM не используется.

Вывод 26 - линия маскируемое прерывание (INT). Активный уровень сигнала - низкий.

Вывод 25 - линия сброс (RESET). Активный уровень сигнала - низкий.



Вывод 25 - линия запрос на линию (BUSRQ). Микропроцессор Z80 позволяет внешним устройствам использовать шину адреса и шину данных для обмена данными с ячейками памяти. Внешнее устройство, выставив сигнал BUSRQ, осуществляет запрос микропроцессору на занятие следующего цикла обращения к памяти. Активный уровень сигнала - низкий.

Вывод 23 - линия подтверждения для шины (BUSACK). - подается на внешнее устройство для подтверждения того, что адресная шина, шина данных и линии управления перешли в состояние высокого сопротивления. Активный уровень - низкий. В компьютере ZX SPECTRUM не используются.

### С Ч Е Т Ч И К И

Микросхема K553IE7 - четырехразрядный двоичный реверсивный счетчик. В ZX SPECTRUM используется в качестве делителя частоты. Тактовые импульсы положительным перепадом напряжения запускает счетчик на увеличение (вход 5) или на уменьшение (вход 4). Импульсы с частотой деленной на 2, 4, 8, 16 выдаются соответственно на выходах 1, 2, 4, 8. При окончании счета на увеличение >15 на выходе 12, а при уменьшении - на выходе 13, появляется напряжение низкого уровня. С подачей на вход сброса положительного напряжения

счетчик позволяет осуществлять программную установку. По сигналу  $\overline{PE}=0$  код, зафиксированный на параллельных входах 00-03 код, загружается в счетчик и появляется на выходах 00-03.

Микросхема K561IE10 - содержит два синхронных двоичных счетчика-делителя. Каждый счетчик основан на четырех 0-триггерах

ТАБЛИЦА СОСТОЯНИЙ K561IE10

ВХОД			РЕЖИМ	
C	$\overline{ES}$	R		
В	В	Н	АСИНХРОННЫЙ СБРОС	ЛИНИИ С И $\overline{CE}$ (ТАКОВАЯ И РАЗРЕШЕНИЕ ТАКТАМ) ВЗАИМОЗАМЕНЯЕМЫЕ, НО ОТЛИЧАЮТСЯ ПРОТИВОПОЛОЖНЫМИ АКТИВНЫМИ УРОВНЯМИ, ПО ЭТОМУ МОЖНО ОРГАНИЗОВАТЬ СЧЕТ ПО КАЖДОМУ ФРОНТУ ТАКТА. СЧЕТЧИК РАБОТАЕТ ПРИ НАПРЯЖЕНИИ НИЗКОГО УРОВНЯ R, ПРИ ВЫСОКОМ УРОВНЕ ПРОИСХОДИТ СБРОС И НА ВЫХОДАХ УСТАНОВЛИВАЮТСЯ НУЛЕВЫЕ УРОВНИ. ИЗ ТАБЛИЦЫ СОСТОЯНИЙ ВИДНО, ЧТО НАПРЯЖЕНИЕ НИЗКОГО УРОВНЯ НА ТАКОВОМ ВХОДЕ МОЖЕТ БЫТЬ РАЗРЕШАЮЩИМ, ТОГДА ТАКОВЫМ СТАНЕТ ВХОД $\overline{ES}$ И СЧЕТНЫМ СТАНЕТ ОТРИЦАТЕЛЬНЫЙ ПЕРЕПАД И НА ВХОДЕ $\overline{ES}$ .
Н	Н	Н		
Н	*	Н		
*	В	Н		
В	Н	Н		
В	Н	Н		
*	*	В		

РЕГИСТРЫ

МИКРОСХЕМА K555IP16 - ЧЕТЫРЕХРАЗРЯДНЫЙ СДВИГОВЫЙ РЕГИСТР С ТРЕТЬИМ СОСТОЯНИЕ ВЫХОДОВ. РЕЖИМЫ ЗАГРУЗКИ И СДВИГА ПЕРЕКЛЮЧАЮТСЯ С ПОМОЩЬЮ ВХОДА ПАРАЛЛЕЛЬНОГО РАЗРЕШЕНИЯ V. ЕСЛИ НА ВХОДЕ V ПРИСУТСТВУЕТ НАПРЯЖЕНИЕ ВЫСОКОГО УРОВНЯ, ДАННЫЕ ЗАГРУЖАЮТСЯ В РЕГИСТР ОТ ПАРАЛЛЕЛЬНЫХ ВХОДОВ 0-3 СИНХРОННО С ТАКТОВЫМИ ИМПУЛЬСАМИ НА ВХОДЕ С. НАПРЯЖЕНИЕ НИЗКОГО УРОВНЯ НА ВХОДЕ V ВЫЗЫВАЕТ ЗАГРУЗКУ ДАННЫХ ОТ ПОСЛЕДОВАТЕЛЬНОГО ВХОДА D. ЗАПИСАННОЕ ЦИФРОВОЕ СЛОВО СДВИГАЕТСЯ В РЕГИСТРЕ СИНХРОННО С ТАКТОВЫМИ ИМПУЛЬСАМИ И НА ВЫХОДЕ З ПОЯВЛЯЕТСЯ С ЗАДЕРЖКОЙ НА 4 ТАКТА.

ТАБЛИЦА СОСТОЯНИЙ K555IP16

ВХОД		!ВЫХОД!		РЕЖИМ
V	DN	00-03		
B	H	H		СЧИТЫВАНИЕ
B	B	B		
H	*	Z		РАЗОМКНУТ

ЕСЛИ НА ВХОДЕ V ПРИСУТСТВУЕТ НАПРЯЖЕНИЕ ВЫСОКОГО УРОВНЯ, ДАННЫЕ ЗАГРУЖАЮТСЯ В РЕГИСТР ОТ ПАРАЛЛЕЛЬНЫХ ВХОДОВ 0-3 СИНХРОННО С ТАКТОВЫМИ ИМПУЛЬСАМИ НА ВХОДЕ С. НАПРЯЖЕНИЕ НИЗКОГО УРОВНЯ НА ВХОДЕ V ВЫЗЫВАЕТ ЗАГРУЗКУ ДАННЫХ ОТ ПОСЛЕДОВАТЕЛЬНОГО ВХОДА D. ЗАПИСАННОЕ ЦИФРОВОЕ СЛОВО СДВИГАЕТСЯ В РЕГИСТРЕ СИНХРОННО С ТАКТОВЫМИ ИМПУЛЬСАМИ И НА ВЫХОДЕ З ПОЯВЛЯЕТСЯ С ЗАДЕРЖКОЙ НА 4 ТАКТА.

ВЫХОД РЕГИСТРА РАЗМЫКАЕТСЯ, ЕСЛИ НА ВХОД E ПОДАЕТСЯ НАПРЯЖЕНИЕ НИЗКОГО УРОВНЯ.

МИКРОСХЕМА K555IP22 - ВОСЬМИРАЗРЯДНЫЙ РЕГИСТР-ЗАЩЕЛКА ОТОБРАЖЕНИЯ ДАННЫХ С ТРЕТЬИМ СОСТОЯНИЕ ВЫХОДОВ. РЕЖИМЫ ЗАГРУЗКИ И ПЕРЕДАЧИ ДАННЫХ ПЕРЕКЛЮЧАЮТСЯ С ПОМОЩЬЮ ВХОДА ПАРАЛЛЕЛЬНОГО РАЗРЕШЕНИЯ С. ЕСЛИ НА ВХОДЕ С ПРИСУТСТВУЕТ НАПРЯЖЕНИЕ ВЫСОКОГО УРОВНЯ, ДАННЫЕ ОТ ПАРАЛЛЕЛЬНЫХ ВХОДОВ D0-D7 ОТОБРАЖАЮТСЯ НА ВЫХОДАХ Q0-Q7.

ТАБЛИЦА СОСТОЯНИЙ РЕГИСТРА K555IP22

	ВХОДЫ			ВЫХОД	ВЫХОДЫ Q0-Q7
	-E0	PE	DN	-Q	
РАЗРЕШЕНИЕ И СЧИТЫВАНИЕ ИЗ РЕГИСТРА	H	B	H	H	H
ЗАЩЕЛКИВАНИЕ И СЧИТЫВАНИЕ ИЗ РЕГИСТРА	H	H	B	B	H
ЗАЩЕЛКИВАНИЕ В РЕГИСТР, РАЗРЫВ ВЫХОДОВ	B	H	H	H	B
	B	H	B	B	N

НАПРЯЖЕНИЕ НИЗКОГО УРОВНЯ НА ВХОДЕ С РАЗРЕШАЕТ ЗАПИСЬ В РЕГИСТР НОВОГО 8-МИ БИТНОГО СЛОВА (В ZX SPECTRUM НЕ ИСПОЛЬЗУЕТСЯ). ВЫХОД РЕГИСТРА РАЗМЫКАЕТСЯ, ЕСЛИ НА ВХОД E0 ПОДАЕТСЯ НАПРЯЖЕНИЕ НИЗКОГО УРОВНЯ.

### МУЛЬТИПЛЕКСОРЫ (КОММУТАТОРЫ)

МИКРОСХЕМА K555КП11 СОДЕРЖИТ ПО ЧЕТЫРЕ ОДИНАКОВЫХ ДВУХХО-  
ДОВЫХ МУЛЬТИПЛЕКСОРА С ОБЩИМИ ВХОДАМИ УПРАВЛЕНИЯ. ВЫХОДЫ ИМЕЮТ  
ТРЕТЬЕ Z-СОСТОЯНИЕ. ПРИ ПОСТУПЛЕНИИ НА ВХОД E НАПРЯЖЕНИЯ ВЫСОКО-  
ГО УРОВНЯ ВЫХОДЫ МУЛЬТИПЛЕКСОРОВ РАЗМЫКАЮТСЯ.

У КАЖДОГО МУЛЬТИПЛЕКСОРА ИМЕЕТСЯ ПО ДВА ВХОДА И ОДИН ВЫХОД.  
ДЛЯ ВЫБОРА СИГНАЛОВ СЛУЖИТ ВХОД АДРЕСА ДАННЫХ S. ЕСЛИ НА ЛИНИИ S  
НАПРЯЖЕНИЕ НИЗКОГО УРОВНЯ, НА ВЫХОД ПРОХОДЯТ СИГНАЛЫ СО ВХОДА 1,  
ЕСЛИ НИЗКОГО - СО ВХОДА 2.

МИКРОСХЕМА K555КП13 ОБЪЕДИНЯЕТ В СЕБЕ СВОЙСТВА ЧЕТЫРЕХКА-  
НАЛЬНОГО ДВУХХОДОВОГО МУЛЬТИПЛЕКСОРА И ЧЕТЫРЕХРАЗРЯДНОГО РЕГИСТ-  
РА, ЗАПУСКАЕМОГО ОТРИЦАТЕЛЬНЫМ ТАКТОВЫМ ПЕРЕПАДОМ.

НАПРЯЖЕНИЕ НИЗКОГО УРОВНЯ, ПОДАНЫМ НА ВХОД S, МОЖНО ВЫБЕ-  
РАТЬ ДЛЯ ПРИЕМА ДАННЫХ ЧЕТЫРЕ ПРОВОДА ПОРТА A, ВЫСОКОГО - ПОРТА  
B. ДАННЫЕ ОТ ВЫБРАННЫХ ПОРТОВ ПОПАДУТ В РЕГИСТР СИНХРОННО С ОТ-  
РИЦАТЕЛЬНЫМ ПЕРЕПАДОМ НА ТАКТОВОМ ВХОДЕ -C. ПЕРЕД ПРИХОДОМ ЭТОГО  
ПЕРЕПАДА ДАННЫЕ НА ВХОДАХ УПРАВЛЕНИЯ И НА ПРОВОДАХ ПОРТА ДОЛЖНЫ  
БЫТЬ ЗАФИКСИРОВАНЫ.

### ТРИГГЕРЫ

МИКРОСХЕМА 555ТМ2 СОДЕРЖИТ ДВА НЕЗАВИСИМЫХ СИНХРОННЫХ  
D-ТРИГГЕРА, ИМЕЮЩИХ ОБЩУЮ ЦЕПЬ ПИТАНИЯ. У КАЖДОГО ТРИГГЕРА ИМЕ-  
ЕТСЯ ВХОД ДАННЫХ D, ВХОДЫ УСТАНОВКИ S И ЛИНИЯ СБРОСА R, А ТАКЖЕ  
ПРЯМОЙ И ИНВЕРСНЫЙ ВЫХОДЫ.

ТАБЛИЦА СОСТОЯНИЙ K555ТМ2

РЕЖИМ РАБОТЫ	ВХОД				ВЫХОД	
	-S	-R	C	D	Q	-Q
АСИНХРОННАЯ УСТАНОВКА	H	B	*	*	B	H
АСИНХРОННЫЙ СБРОС	B	H	*	*	H	B
НЕОПРЕДЕЛЕННОСТЬ	H	H	*	*	B	B
ЗАГРУЗКА 1 (УСТАНОВКА)	B	B	B	B	B	H
ЗАГРУЗКА 0 (СБРОС)	B	B	B	H	H	B

ВХОДЫ S И R - АСИНХРОННЫЕ, ПОТОМУ ЧТО ИХ ВЛИЯНИЕ НА ТРИГГЕР  
ОСУЩЕСТВЛЯЕТСЯ НЕЗАВИСИМО ОТ СИГНАЛА НА ТАКТОВОМ ВХОДЕ. АСИНХ-  
РОННЫЙ СБРОС ТРИГГЕРА ПРОИЗОЙДЕТ ПРИ УСТАНОВКЕ НА ВХОДЕ R НАПРЯ-  
ЖЕНИЯ НИЗКОГО УРОВНЯ. АСИНХРОННАЯ УСТАНОВКА НАПРЯЖЕНИЯ ВЫСОКОГО  
УРОВНЯ НА ПРЯМОМ ВЫХОДЕ ПРОИЗОЙДЕТ ПРИ НАЛИЧИИ НА ВХОДЕ S НАПРЯ-  
ЖЕНИЯ НИЗКОГО УРОВНЯ.

ПРИ НАЛИЧИИ НА ВХОДАХ R И S НАПРЯЖЕНИЯ ВЫСОКОГО УРОВНЯ УС-  
ТАНАВЛИВАЕТСЯ СВЯЗЬ ВХОДА D С ВЫХОДОМ. ПРИ ПОСТУПЛЕНИИ НА ТАКТО-  
ВЫЙ ВХОД C ПОЛОЖИТЕЛЬНОГО ПЕРЕПАДА НАПРЯЖЕНИЯ ПРЕДВАРИТЕЛЬНО УС-  
ТАНОВЛЕННЫЙ НА ВХОДЕ D СИГНАЛ ПЕРЕДАЕТСЯ НА ПРЯМОЙ И ИНВЕРСНЫЙ  
ВЫХОДЫ.

МИКРОСХЕМА 555ТМ9 СОДЕРЖИТ ШЕСТЬ D-ТРИГГЕРОВ, ИМЕЮЩИХ ОБЩИЕ ВХОДЫ СИНХРОННОГО СБРОСА И ТАКТОВОГО ЗАПУСКА. КАЖДЫЙ ТРИГГЕР ИМЕЕТ ОДИН ВЫХОД. СБРОС ВСЕХ ТРИГГЕРОВ ПРОИЗХОДИТ, КОГДА НА ВХОД АСИНХРОННОГО СБРОСА R БУДЕТ ПОДАНО НАПРЯЖЕНИЕ НИЗКОГО УРОВНЯ. ПРИ ПОСТУПЛЕНИИ НА ТАКТОВЫЙ ВХОД С ПОЛОЖИТЕЛЬНОГО ПЕРЕЛЕДА НАПРЯЖЕНИЯ ПРЕДВАРИТЕЛЬНО УСТАНОВЛЕННЫЕ НА ПАРАЛЛЕЛЬНЫХ ВХОДАХ D1-D6 СИГНАЛЫ ПЕРЕДАЕТСЯ НА ВЫХОДЫ Q1-Q6.

ТАБЛИЦА СОСТОЯНИЙ К555ТМ9

РЕЖИМ РАБОТЫ	ВХОД			ВЫХОД Q
	-R	C	D	
СБРОС	H	*	*	H
ЗАГРУЗКА 1 (УСТАНОВКА)	B	↑	B	B
ЗАГРУЗКА 0 (СБРОС)	B	↑	H	H

МИКРОСХЕМЫ, СОДЕРЖАЩИЕ ЭЛЕМЕНТЫ ПАМЯТИ

ПРОГРАММИРУЕМОЕ ПОСТОЯННОЕ ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО К57ЗРФ4 ЕМКОСТЬЮ 8КХ8 БИТ, ПРЕДНАЗНАЧЕНО ДЛЯ ДЛИТЕЛЬНОГО (БОЛЕЕ 5 ЛЕТ) ХРАНЕНИЯ ИНФОРМАЦИИ. ЗАПИСЬ ИНФОРМАЦИИ В ПЗУ ПРОИЗВОДИТСЯ СПЕЦИАЛЬНЫМИ УСТРОЙСТВАМИ - ПРОГРАММАТОРАМИ. СТИРАНИЕ ИНФОРМАЦИИ ОСУЩЕСТВЛЯЕТСЯ УЛЬТРАФИОЛЕТОВЫМ ОБЛУЧЕНИЕМ ЧЕРЕЗ ОКНО В КОРПУСЕ. МИКРОСХЕМА ДОПУСКАЕТ 100 ЦИКЛОВ ПЕРЕЗАПИСИ. МИКРОСХЕМА ИМЕЕТ ТРИНАДЦАТИРАЗРЯДНУЮ ШИНУ АДРЕСА И ВОСЬМИРАЗРЯДНУЮ ШИНУ ДАННЫХ. СЧИТЫВАНИЕ ИНФОРМАЦИИ ПРОИСХОДИТ ПРИ ПОДАЧЕ НА КОНТАКТ С5 НУЛЕВОГО ПОТЕНЦИАЛА.

ЗАПОМИНАЮЩИМ ЭЛЕМЕНТОМ В ПЗУ ЯВЛЯЕТСЯ МОП-ТРАНЗИСТОР, РАСПОЛОЖЕННЫЙ НА ПЕРЕСЕЧЕНИИ СООТВЕТСТВУЮЩИХ СЛОВАРНОЙ И РАЗРЯДНОЙ ЛИНИЙ. ИНФОРМАЦИЯ ХРАНИТСЯ В ВИДЕ ЗАРЯДА НА ВТОРОМ (ПЛАВАЮЩЕМ) ЗАТВОРЕ МОП-ТРАНЗИСТОРА. УЛЬТРАФИОЛЕТОВОЕ ИЗЛУЧЕНИЕ ВЫБИВАЯ ФОТОЭЛЕКТРОНЫ РАЗРЯЖАЕТ ЗАТВОР.

МИКРОСХЕМА 56ЗРУ5 - ОПЕРАТИВНОЕ ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО ДИНАМИЧЕСКОГО ТИПА ЕМКОСТЬЮ 64КХ1 БИТ. ХРАНЕНИЕ ИНФОРМАЦИИ ОСУЩЕСТВЛЯЕТСЯ В МИКРОЕМКОСТЯХ, КОТОРЫЕ ИЗ-ЗА ПАРАЗИТНЫХ УТЕЧЕК ТРЕБУЕТСЯ НЕ РЕЖЕ, ЧЕМ ЧЕРЕЗ 2 МСЕК ПОДЗАРЯЖАТЬ ИЛИ ПЕРЕЗАПИСЫВАТЬ (РЕГЕНЕРИРОВАТЬ). МИКРОСХЕМА ИМЕЕТ ВОСЕМЬ АДРЕСНЫХ ВХОДОВ, НО ОНА РАБОТАЕТ С ШЕСТНАДЦАТИРАЗРЯДНЫМИ ШИНАМИ АДРЕСА, ПОСКОЛЬКУ АДРЕС НУЖНОЙ ЯЧЕЙКИ ПРИНИМАЕТСЯ ПО ЧАСТЯМ: МЛАДШИЕ РАЗРЯДЫ ПО СИГНАЛУ -RAS, А СТАРШИЕ - ПО СИГНАЛУ -CAS.

ПО СПАДУ СИГНАЛА -RAS ВЫПОЛНЯЕТСЯ ВЫБОРКА СТРОКИ ИЗ 256 ЗАПОМИНАЮЩИХ ЯЧЕЕК. ЗАТЕМ НА АДРЕСНЫЕ ШИНЫ ПОДАЮТСЯ СТАРШИЕ РАЗРЯДЫ АДРЕСА И ПО СПАДУ СИГНАЛА -CAS ПРОИЗВОДИТСЯ ПОДКЛЮЧЕНИЕ К ШИНЕ ДАННЫХ ВЫБРАННОЙ ЯЧЕЙКИ ПАМЯТИ (В ЭТО ВРЕМЯ -RAS СОХРАНЯЕТСЯ НУЛЕВЫМ). КОД ОПЕРАЦИИ ЗАДАЕТ СИГНАЛ W. ПРИ ЧТЕНИИ (W=1) ВЫБРАННАЯ ЯЧЕЙКА ПАМЯТИ ПОДКЛЮЧАЕТСЯ К ВЫХОДНОЙ ШИНЕ D0 И ПРИ -CAS=0 НА НЕЕ ВЫДАЕТСЯ БИТ ДАННЫХ. ПРИ ЗАПИСИ В ЯЧЕЙКУ С ВЫБРАННЫМ АДРЕСОМ БИТ ДАННЫХ ДОЛЖЕН БЫТЬ НА ВХОДНОЙ ШИНЕ D1 К МОМЕНТУ ПРИХОДА СИГНАЛА -CAS, НО ПОСЛЕ УСТАНОВКИ СИГНАЛА РАЗРЕШЕНИЯ ЗАПИСИ W В НУЛЕВОЕ СОСТОЯНИЕ. СИГНАЛ W СОВМЕСТНО С СИГНАЛОМ CAS УПРАВЛЯЕТ ВЫХОДНЫМ СОПРОТИВЛЕНИЕМ МИКРОСХЕМЫ D0. ПЕРЕВОДА ПРИ ЧТЕНИИ ВЫХОД



из высокоомного состояния в обычное ( $-W=1$  и  $-CAS=0$ ). Общее время выборки информации из ячейки не превышает 120 нсек.

Регенерация ячеек памяти происходит периодической подачей на микросхему только младших разрядов адреса и сигнала  $-RAS$ . При этом происходит выборка и регенерация строки памяти с указанным адресом.

Одна микросхема хранит в 65536 ячейках по одному биту информации. Для хранения восьмиразрядных данных микросхемы ОЗУ объединяются в блоки по восемь штук. При этом соответственно объединяются и входы  $A0-A6$ ,  $-RAS$ ,  $-CAS$  и  $W$  всех микросхем модуля. Информационные вход  $DI$  и выход  $DO$  подсоединяются к соответствующим разрядам шины данных.

### ЛОГИЧЕСКИЕ МИКРОСХЕМЫ

Микросхема К555ЛАЗ содержит четыре элемента, выполняющие функцию И-НЕ.

ТАБЛИЦЫ ИСТИННОСТИ К555ЛАЗ

1 ВХОД	2 ВХОД	ВЫХОД
Н	Н	В
Н	В	В
В	Н	В
В	В	Н

Микросхема К555ЛА4 содержит четыре трех входных элемента И-НЕ при позитивной логике и ЗИЛИ-НЕ при негативной.

ТАБЛИЦЫ ИСТИННОСТИ К555ЛА4

1 ВХОД	2 ВХОД	3 ВХОД	ВЫХОД
Н	*	*	В
*	Н	*	В
*	*	Н	В
В	В	В	Н

Микросхема К555ЛЕ1 содержит четыре элемента ИЛИ-НЕ при позитивной и И-НЕ при негативной логике. Каждый элемент имеет два входа и один выход.

ТАБЛИЦЫ ИСТИННОСТИ К555ЛЕ1

1 ВХОД	2 ВХОД	ВЫХОД
Н	Н	В
Н	В	Н
В	Н	Н
В	В	Н

МИКРОСХЕМА К555ЛИ1 СОДЕРЖИТ ЧЕТЫРЕ ДВУХВХОДОВЫХ ЭЛЕМЕНТА, ВЫПОЛНЯЮЩИЕ ФУНКЦИЮ И ПРИ ПОЗИТИВНОЙ И ИЛИ ПРИ НЕГАТИВНОЙ ЛОГИКЕ. КАЖДЫЙ ЭЛЕМЕНТ ИМЕЕТ ДВА ВХОДА И ОДИН ВЫХОД.

ТАБЛИЦЫ ИСТИННОСТИ К555ЛИ1

1 ВХОД	2 ВХОД	ВЫХОД
Н	Н	Н
Н	В	Н
В	Н	Н
В	В	В

МИКРОСХЕМА К555ЛЛ1 СОДЕРЖИТ ЧЕТЫРЕ ДВУХВХОДОВЫХ ЭЛЕМЕНТА ИЛИ ПРИ ПОЗИТИВНОЙ И И ПРИ НЕГАТИВНОЙ ЛОГИКЕ.

ТАБЛИЦЫ ИСТИННОСТИ К555ЛЛ1

1 ВХОД	2 ВХОД	ВЫХОД
Н	Н	Н
Н	В	В
В	Н	В
В	В	В

МИКРОСХЕМА К555ЛН1 СОДЕРЖИТ ШЕСТЬ ИНВЕРТОРОВ, ВЫПОЛНЯЮЩИХ ЛОГИЧЕСКУЮ ФУНКЦИЮ НЕ. КАЖДЫЙ ЭЛЕМЕНТ ИМЕЕТ ОДИН ВХОД И ОДИН ВЫХОД. ВРЕМЯ ЗАДЕРЖКИ ИМПУЛЬСА 15 НСЕК.

МИКРОСХЕМА К555ЛП5 СОДЕРЖИТ ЧЕТЫРЕ ДВУХВХОДОВЫХ ЭЛЕМЕНТА, ВЫПОЛНЯЮЩИЕ ЛОГИЧЕСКУЮ ФУНКЦИЮ ИСКЛЮЧАЮЩЕГО ИЛИ.

ТАБЛИЦЫ ИСТИННОСТИ К555ЛП5

1 ВХОД	2 ВХОД	ВЫХОД
Н	Н	Н
Н	В	В
В	Н	В
В	В	Н

МИКРОСХЕМА ЧАЩЕ ВСЕГО ИСПОЛЬЗУЕТСЯ КАК СУММАТОР ПО МОДУЛЮ 2 ИЛИ ДЛЯ ЗАДЕРЖИВАНИЯ ЦИФРОВЫХ ИМПУЛЬСОВ. ВРЕМЯ ЗАДЕРЖКИ СОСТАВЛЯЕТ 30 НСЕК.